**1) ЗУ. Классификация**

Важнейшим признаком является способ доступа к данным. По этому признаку различаются 3 вида ЗУ:

1.Адресные ЗУ: код на адресном входе указывает ячейку, с которой

ведется обмен.

Адресные ЗУ: делятся на RAM (Random ACCESS Memory) (ОЗУ-оперативные запоминающие устройства) и ROM (Read-Only Memory) (ПЗУ-постоянные запоминающие устройства).

RAM делятся на статические - SRAM (Static RAM) и динамические -DRAM (Dynamic RAM).

В статических ОЗУ запоминающими элементами являются триггеры. В динамических ОЗУ данные хранят в виде зарядов конденсаторов, образуемых элементами МОП-структур. Запоминающие конденсаторы разряжаются, поэтому каждые несколько миллисекунд данные должны регенерироваться

Плотность упаковки динамических элементов памяти в несколько раз выше, чем статических.

Динамические ОЗУ характеризуются наибольшей информационной емкостью и невысокой стоимостью, но имеют большее энергопотребление и меньшее быстродействие.

Постоянная память типа ROM имеет следующие разновидности:

1. Программируемые при изготовлении ИМС с помощью одной

из масок. Эта память типа ПЗУМ (ПЗУ масочные). [ROM(M)]

2. Память, программируемая пользователем (ППЗУ

программируемые ПЗУ):

- PROM - содержимое записывается однократно в память.

EPROM и EEPROM - содержимое может быть заменено путем стирания информации и записи новой.

В EPROM - стирание путем облучения кристалла ультрафиолетовыми лучами (РПЗУ-УФ - репрограммируемые ПЗУ с УФ стиранием).

В EEPROM - стирание происходит электрическими сигналами (РПЗУ-ЭС - репрограммируемые ПЗУ с электрическим стиранием).

Запись данных для EPROM и E2PROM производится элетрическими сигналами.

2. Последовательные ЗУ:

- FIFO;

Стековые (LIFO);

- Файловые;

- Циклические.

В FIFO запись в буфер становится сразу доступной для чтения, т.е. поступает в конец цепочки (First In - First Out) - «первый пришел - первый вышел».

В файловых - данные поступают в начало цепочки.

В циклических ЗУ - слова доступны одно за другим с постоянным периодом, определяемым емкостью памяти. К такому типу относится видеопамять (VRAM).

В стековых ЗУ считывание происходит в обратном порядке (последний принят - первый вышел) - LIFO (Last In - First Out).

3. Ассоциативные ЗУ.

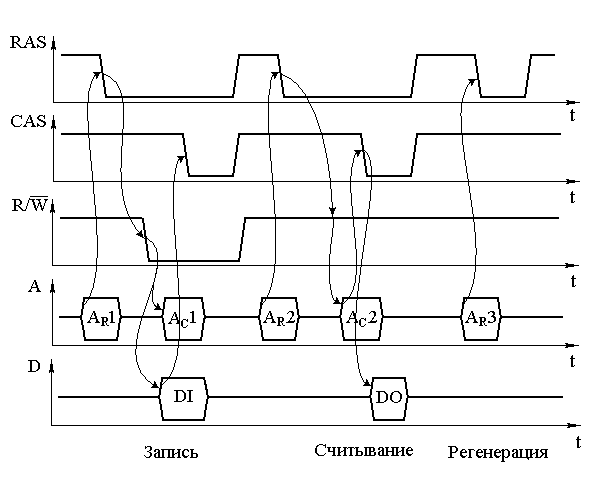
Поиск информации происходит по некоторому признаку, а не по ее расположению в памяти.

**2) ЗУ. Основные параметры**

. Основные параметры БИС ЗУ

|  |  |  |
| --- | --- | --- |
| Информационная емкость | M | Число бит в БИС ЗУ  M=N\*n |
| Число слов | N | Число адресов в БИС ЗУ |
| Разрядность | n | Число разрядов в слове |
| Коэффициент разветвления по выходу | Кр | Число единичных нагрузок, которые можно подключить к выходу (обычно до 2 мА) |
| Число циклов перепрограммирования | Nсу (Nц) |  |
| Потребляемая мощность | Pсс (Рпотр) |  |
| Время выборки | tA (tв) | Интервал времени между подачей на вход ИС заданного сигнала (адреса или чтения) и получением на выходе данных, при условии, что все остальные необходимые сигналы поданы |
| Время цикла | tсу (tц) | Интервал времени между началами (окончаниями) сигналов на одном из управляющих входов ИС, когда микросхема выполняет одну функцию |
| Время разрешения | tсе (tр) | Интервал времени, в течение которого разрешен выход данных микросхемы |
| Время запрещения | tDIS (tзпр) | Интервал времени, в течение которого происходит запрещение данных на выходе |
| Время успокоения | tSU (tус) | Интервал времени между началами двух заданных входных сигналов на разных входах микросхемы |
| Длительность сигнала | tW (τ) | Интервал между фронтом и спадом |
| Время записи | tWR (tзп) | Минимальное время совпадения управляющих сигналов на входах микросхемы, обеспечивающее запись данных |
| Время удержания | tН (tу) | Интервал времени между началом одного и окончанием другого сигналов микросхемы на разных входах |
| Время сохранения | tV (tсх) | Интервал времени между окончаниями двух входных сигналов на разных входах |
| Время вывода | tCS (tв.м) | Интервал времени между подачей на вход ИС сигнала выбора микросхемы и получением на ее выходе данных, при условии, что все остальные сигналы поданы |

**3) Временные диаграммы записи и считывания ОЗУ**

****

**4) Структурная схема БИС ОЗУ**

БИС ЗУ предназначены для записи, хранения и считывания двоичной информации.

БИС ЗУ состоит следующих основных узлов: накопителя (НК), дешифратора строк (DCX), и столбцов (DCY), устройства записи (УЗ), устройства считывания (УС), устройства управления.



Где 2m=N

В зависимости от типа ЗУ, отдельные узлы могут отсутствовать. Например, в ПЗУ отсутствует узел записи и соответствующие ему сигналы.

НК представляет собой n матриц элементов памяти, объединенных в строки и столбцы шинами от DCX и DCY. DCX и DCY содержат ключевые элементы для возбуждения шин Х и Y НК.

В НК статических БИС ОЗУ применяются триггерные элементы памяти (ЭП).

В НК динамических БИС ОЗУ применяются однотранзисторные ЭП, состоящие из ключевого транзистора и емкости хранения информации.

Управляющие сигналы WR/RD, CS (RAS, CAS) определяют режим работы ЗУ (запись, хранение, чтение).

Сигналы A0…Am-1 определяют к какой ячейке памяти производится обращение. Выбранная ячейка находится на пересечении возбужденных шин Х и Y.

УС служит для усиления считанной из НК информации и передачи ее на выход DO. Во многих БИС УС обеспечивает возможность передачи трех логических состояний: 1, 0 и состояние высокого сопротивления на выходе (отключенное), что облегчает объединение БИС ЗУ в системах с шинной организацией передачи данных.

УЗ служит для записи в выбранный ЭП входных данных DI.

БИС ЗУ выпускаются как одноразрядные (Nx1), так и многоразрядные (Nxn).

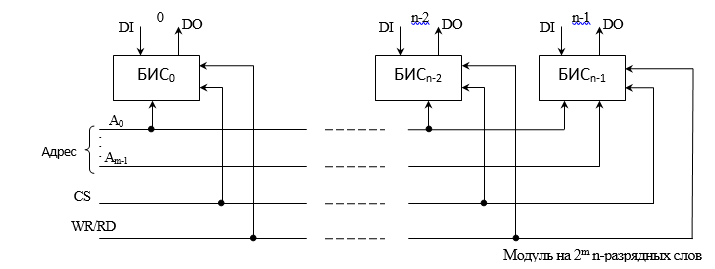
В многоразрядных БИС ЗУ записываемые и считываемые информационные сигналы часто передаются по одним тем же выводам, т.к. их число в корпусе БИС ограничено.

Отдельные БИС ЗУ могут иметь регистры для хранения кодов адреса, а также разделенный во времени (мультиплексный) режим ввода адресов Х и Y, опять же для экономии числа выводов.

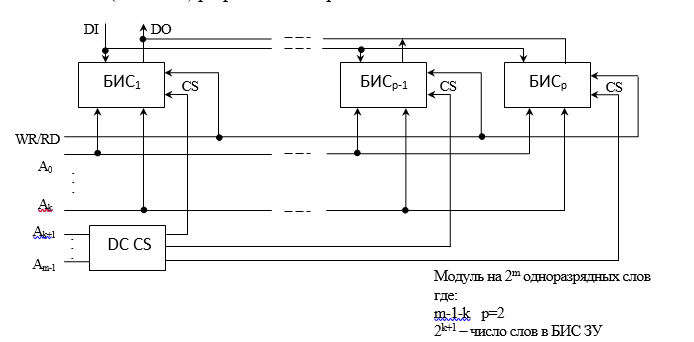
**5) Построение модулей полупроводниковых ОЗУ.**

Модули ЗУ, составляющие часть блока ЗУ, представляющей собой функционально законченные устройства, обеспечивающие заданный информационный объем и быстродействие, а, при необходимости, возможность наращивания объёма ЗУ (по адресам и разрядам).

При построении ЗУ важно выбрать тип БИС ЗУ, который оптимальным образом обеспечит достижение заданных характеристик ЗУ (емкость, быстродействие, надёжность, стоимость, устойчивость к ВВФ и др.).

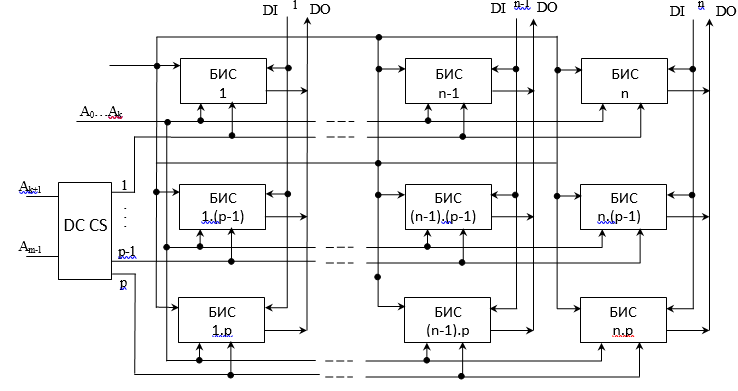
Увеличение количества разрядов ЗУ осуществляется путём объединения адресных входов БИС, а информационные входы и выходы БИС, являются входами и выходами модуля ЗУ большей разрядности

Увеличение количества адресов в модуле ЗУ осуществляется путем объединения одноимённых информационных (входных и выходных) шин БИС. Часть разрядов адреса, например, старших, подается на отдельный дешифратор вывода БИС (DC CS). Одноименные адресные входы БИС объединяются и на них подаются остальные (младшие) разряды кода адреса.



Разряды адреса Ak+1…Am-1 выбирают одну БИС, а разряды A0…Ak выбирают ЭП в БИС.

Увеличение емкости ЗУ за счёт приращения количества слов и разрядности:

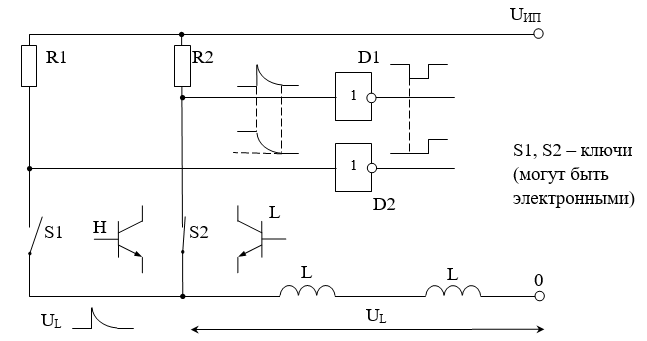


Где 2к+1 – число слов в БИС ЗУ. Разряды адреса Ak+1…Am-1 выбирают строку БИС, а разряды A0…Aк выбирают слово в строке. На основе модулей строится модульное ЗУ.

**6) Помехи в цепях питания и земли**

На практике не бывает идеальных линий связи, земли и питания, имеющих нулевую индуктивность и нулевые ёмкости между собой.

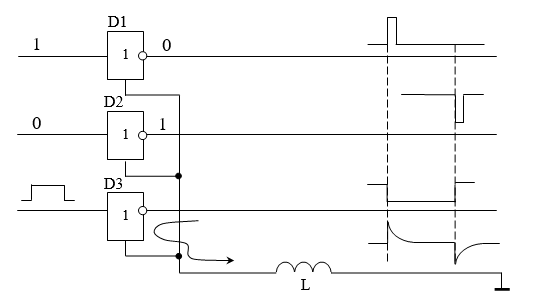
- рассмотрим схему, в которой линия 0 В имеет индуктивность:



Пусть S2 замкнут, а S1 разомкнут. На входе инвертора D1 будет уровень 0, а на входе D2 –

- уровень “1” (высокий), на инд. L = 0. Замкнем S1, в 1-й момент на L возникнет напряжение UL ≈ Uип, которое затем спадёт до 0 с постоянной времени τ = L/R1. Положительный импульс напряжения через S2 попадёт на вход D1 и может привести к появлению на его выходе импульса помехи. В то же время переход напряжения на выходе D2 появится с задержкой, которая также не всегда безразлична.

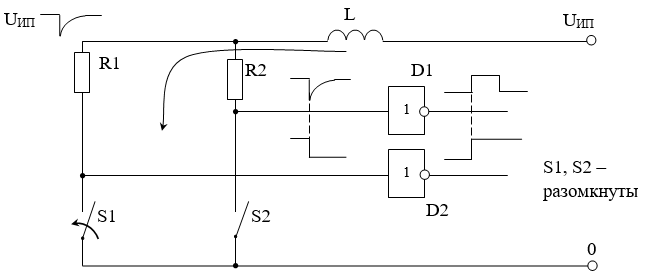
- рассмотрим другую схему, в которой на входах инверторов не возникает помех, но линия земли обладает индуктивностью.



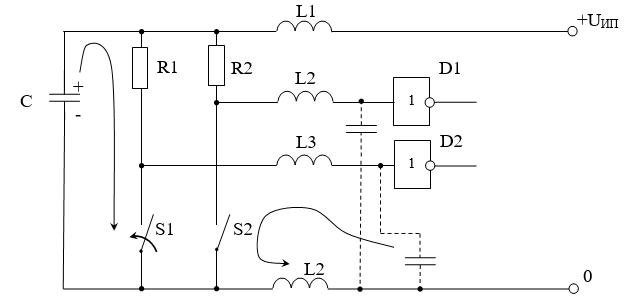
Инвертор D3 (передатчик) вырабатывает импульс, при этом от тока, протекающего через нижний транзистор D3, по спаду на L возникает положительный выброс, а по подъёму – отрицательный.

Положительный выброс на земле по отношению к “1” на входе D1 равносилен появлению 0 на входе, а отрицательный по отношению к 0 на входе D2 равносилен появлению 1 на входе D2. В результате на выходах D1 и D2 появятся помехи, показанные на рисунке.

- Аналогичные ситуации возникают и при наличии индуктивности шины питания.



При замыкании S1 через L и R1 начинает протекать ток, но в 1-й момент на L создаётся падение напряжения, приводящее к появлению провала по питанию, который попадает на вход D1 и вызывает появление помехи на выходе D1.

Основным способом борьбы с такого рода помехами является подключение конденсаторов к напряжению питания и земле в непосредственной близости от переключающегося элемента (S1 и S2 – это могут быть ЛЭ).

В исходном состоянии С заряжен. В случае замыкания S1, С начинает разряжаться через R1, S1, токи через L1, L2 не текут и на них нет падения напряжения, а следовательно нет помехи на входе D1. Особенно полезно подключение конденсатора к микросхеме, имеющей каскадное включение выходных транзисторов (например ТТЛ).

UИП

С

+

Max короткий промежуток времени выходные транзисторы могут быть открытыми.

Ток КЗ создает падение напряжения на индуктивностях в цепях питания.

При наличии конденсатора напряжения на микросхеме поддерживается за счёт питания конденстора.

Однако конденсатор С не избавляет от помех, возникающих из-за разряда паразитных емкостей СП.

Индуктивности и омическое сопротивление земли, питания, да и сигнальных линий надо иметь как можно меньше. Для этого ширина печатных проводников земли и питания на плате делается побольше (≥2,5мм) или делается объединение в нескольких точках, или решетчатая структура проводников, или трассировка делается так, чтобы проводник имел прямую и обратную ветви, проходящих параллельно.

В многослойных ПП для этих целей отводятся для земли и питания отдельные слои, которые, кроме пониженного сопротивления, выполняют экранирующую роль от электромагнитных помех.

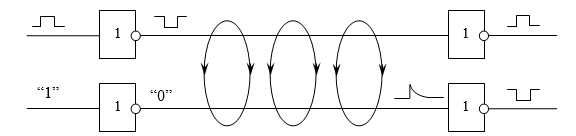
Емкость конденсатора, устанавливаемого на каждый ИС или на 4 ИС, в зависимости от типа (для с.155 на каждую, для 555 и 1533 – на 4), равна 0,1 мкФ. Конденсаторы должны иметь малую собственную индуктивность. Таким образом параллельные конденсаторы типа КМ4, КМ5, КМ6, КМ10. Для в.ч. схем выводы конденсатора и проводники до питания и земли надо делать как можно короче.

В схеме, содержащей много ИС, могут возникнуть резонансные явления из-за наличия контуров из развязывающих конденсаторов и индуктивностей линий. При этом помехи могут превысить допустимые напряжения на ИС, приводящие к их отказу. Для подавления резонанса в целях питания устанавливаются один или несколько конденсаторов емкостью 10-100 мкФ (электролитические), но более 1 мкФ на каждую ИС.

**7) Паразитные емкость и индуктивность сигнальных линий. Перекрестные помехи в сигнальных линиях.**

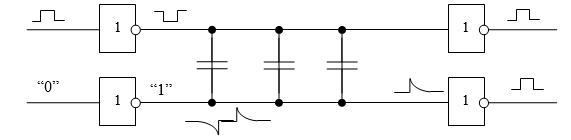
Перекрёстные помехи между сигнальными линиями.

*а) Из-за взаимоиндукции.*



*б) Из-за емкностных связей.*

“0”



Помехи из-за взаимоиндукции сильные сказываются, когда приемники сигналов имеют низкое входное сопротивление, а емкостные помехи – при высоком входном сопротивлении приемников.

\*Следует заметить, что относительно величин развязывающих конденсаторов по питанию в различных источниках приводятся разные требования, так отечественная литература:

1. Аналоговые и цифровые ИС. Справочное пособие под редактированием С. В. Якубовского 1984, 90 г.

2. Применение ИМС в ЭВТ. Справочник, под редактированием Б. Н. Файзураева. 1986 г.

Рекомендует для исключения в.ч. помех размещать на площади печатной платы из расчёта один конденсатор на группу, не более чем 10 ИС, при этом 0,002 мкФ на одну ИС. По низкой частоте – 0,1 мкФ на одну ИС вблизи разъема.

Иностранные источники:

1. Й. Ясен. Курс цифровой электроники, т.1, 1987г, М. “Мир”
2. Дж. Барнс. Электронное конструирование. Методы борьбы с помехами, 1990 М. “Мир”.

Рекомендуют по в.ч. ставить 0,1 мкФ на каждую ИС, содержащую триггеры или ИС, передающие сигналы за пределы платы или принимающую сигналы из-за пределов платы. На долю остальных ИС – 0,01%0,1 мкФ на каждые 4-5 ИС.

Т.е. отечественные авторы обходятся конденсаторами меньшей ёмкости.

Для курсового проекта я рекомендую придерживаться требований зарубежных авторов с некоторыми дополнениями относительно конкретных ИС:

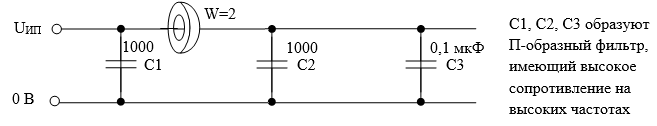
- серии 155, 531 – 0,1 мкФ на каждый корпус;

- серии 555, 1533, 1531 – 0,1 мкФ на 4 корпуса, а если это ИС триггерные (регистры, счётчики или приемник, передающие) – 0,1 мкФ на каждую.

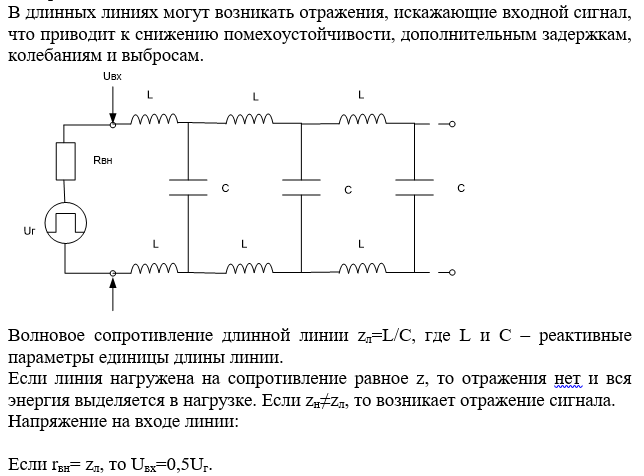
По низкой частоте – около разъёма электролитический конденсатор из расчёта > 1мкФ на каждую ИС или, по крайней мере, в 10 раз превышать емкость других конденсаторов, вместе взятых.

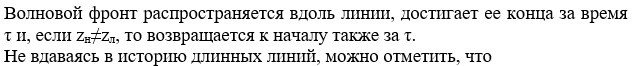
При построении реальных схем, кроме указанных конденсаторов, к быстродействующим схемам подсоединяются по питанию конденсаторы небольшой емкости (100-1000 нФ), т.к. они обладают лучшими частотными свойствами.

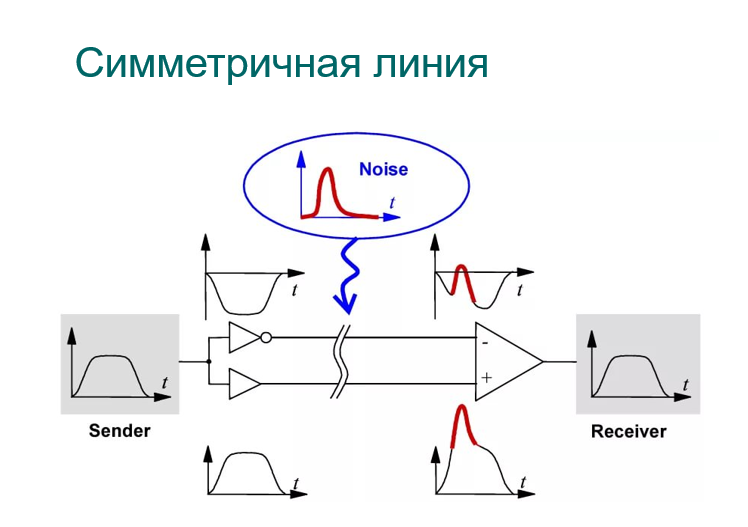
Для упрощения в.ч. помех эффективнее устанавливать в линию питания ферритовое кольцо с двумя витками:



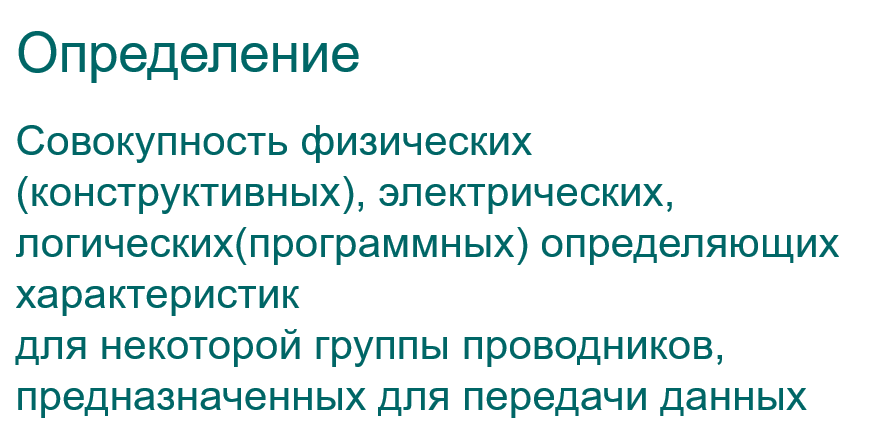
**8) Отражение сигналов в длинных линиях. Методы борьбы с помехами, выполнение и согласование длинных цепей**

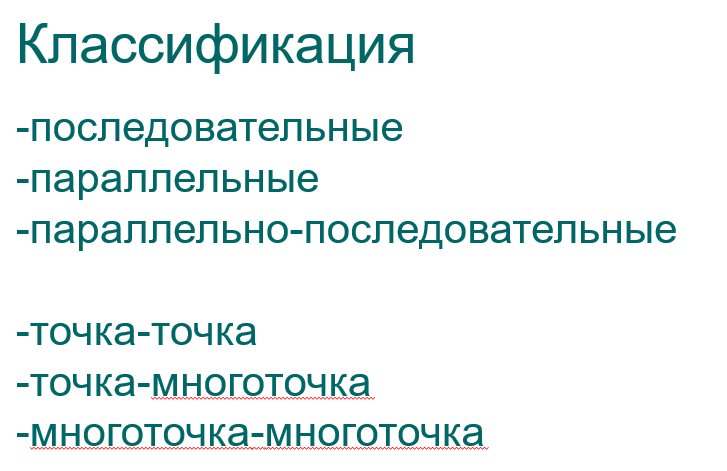
****

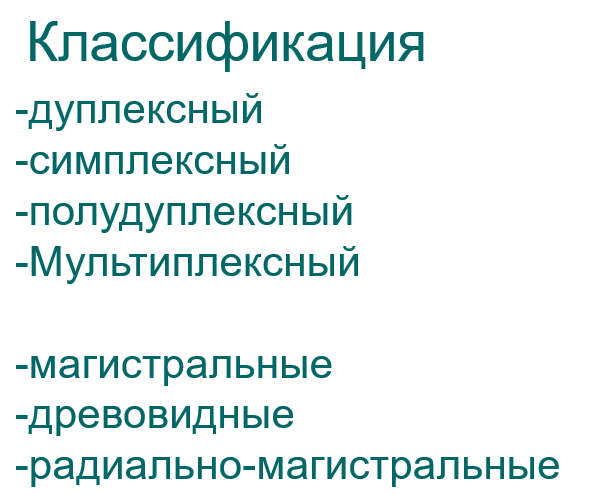
****

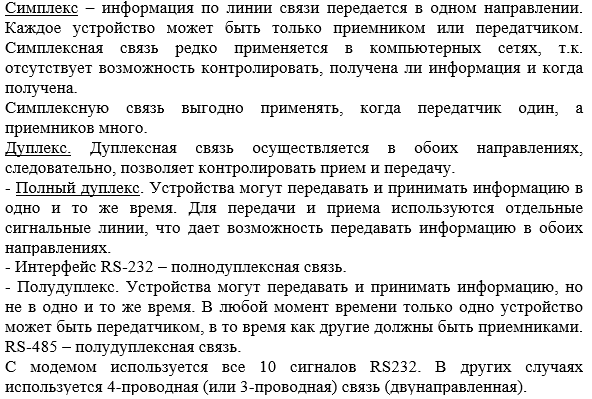
****

**9)** **Интерфейс. Определение и классификация.**

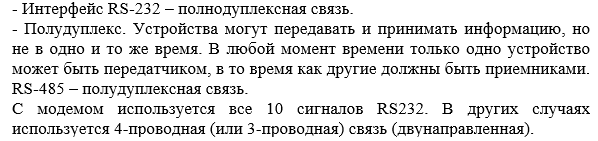
****

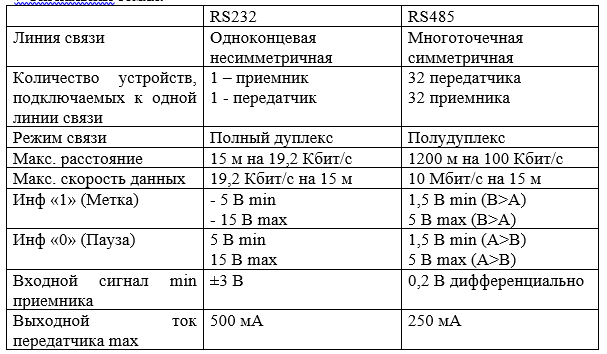
****

****

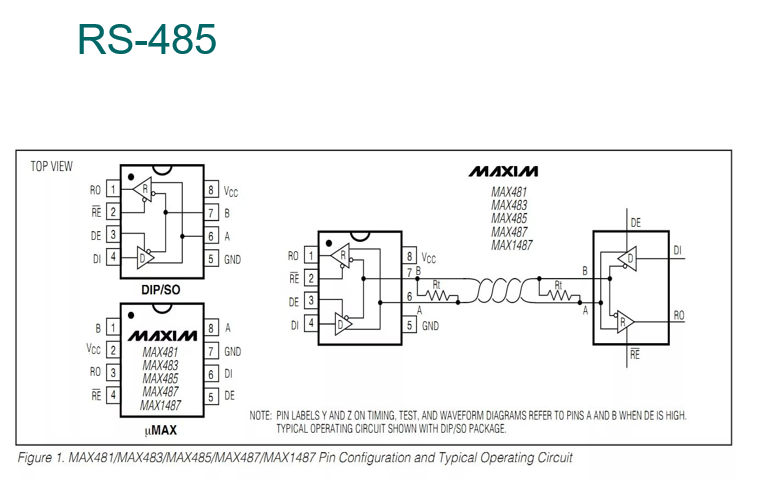
****

**10)** **Последовательные интерфейсы RS232, RS485.**

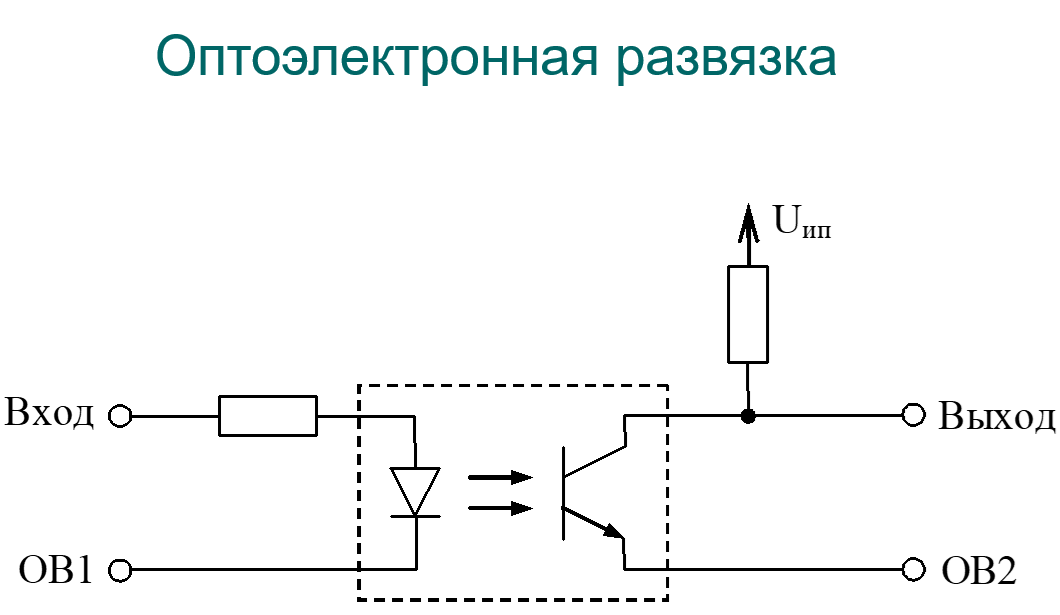
****

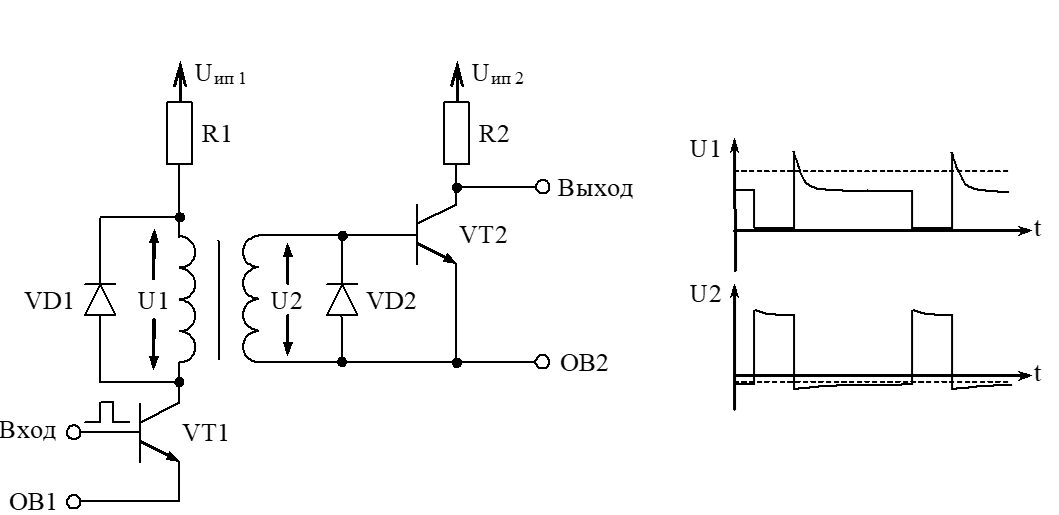
****

****

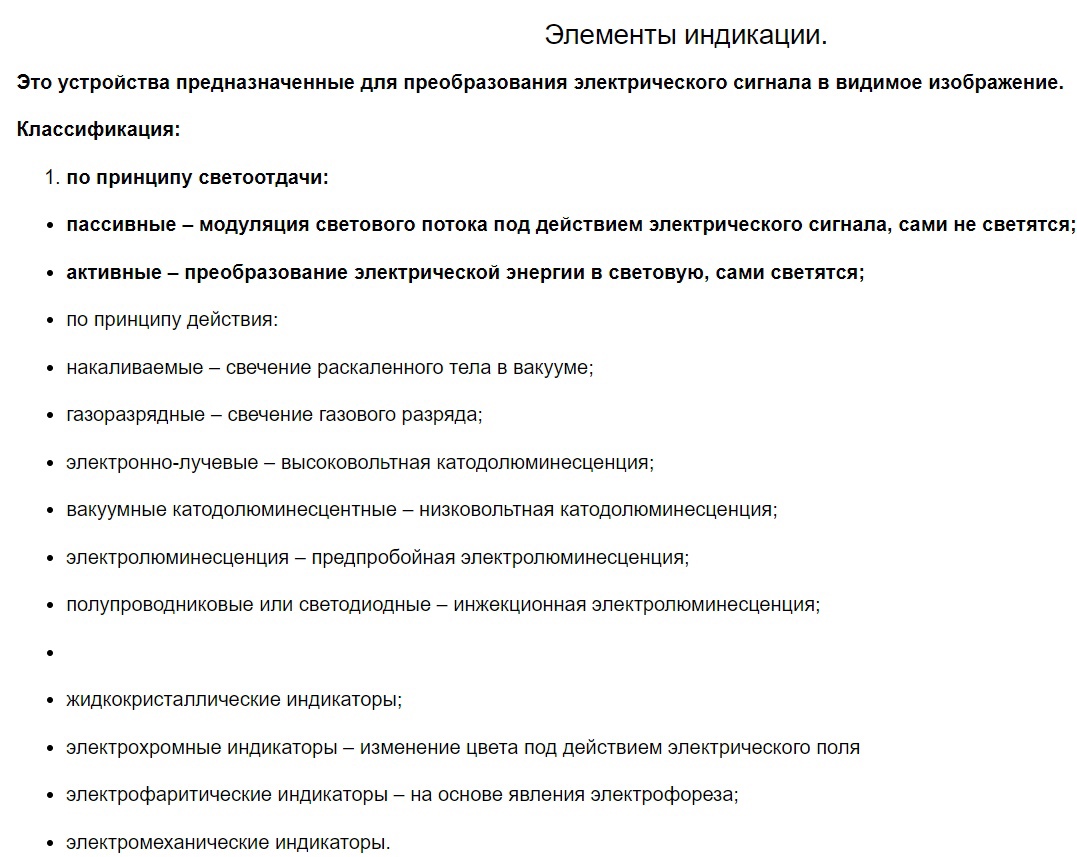
****

**11)** **Методы гальванической развязки линий связи.**

****

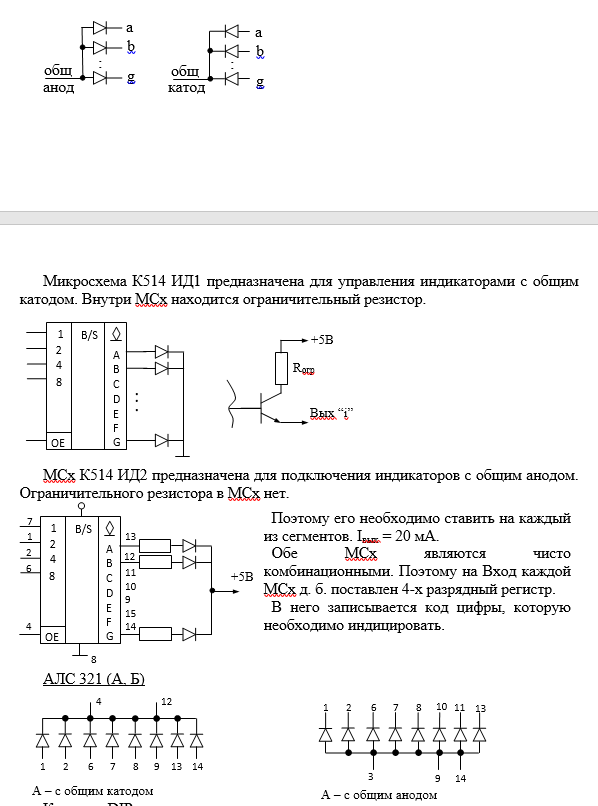
****

**12) Классификация элементов индикации.**



**13) Управление светодиодными индикаторами. Статическая индикация цифровых данных.**

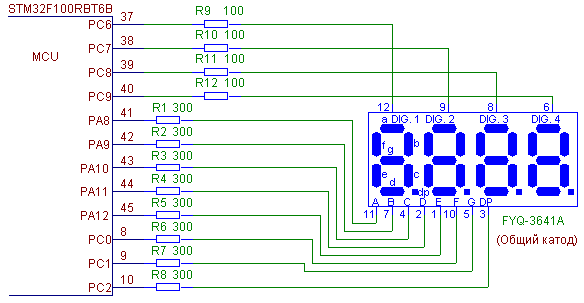
****

****

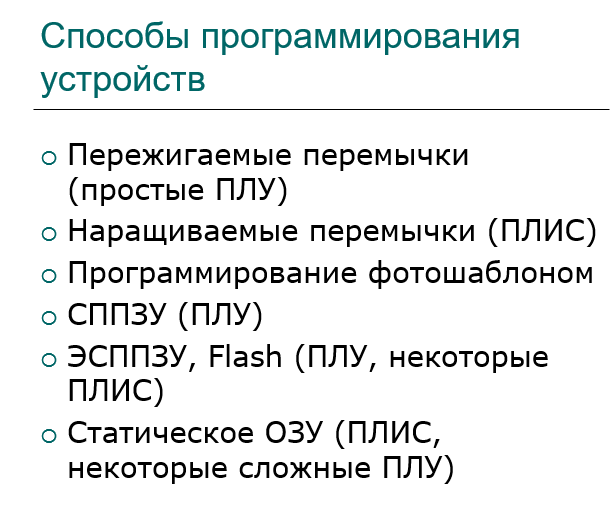
**14)** **Динамическая индикация.**

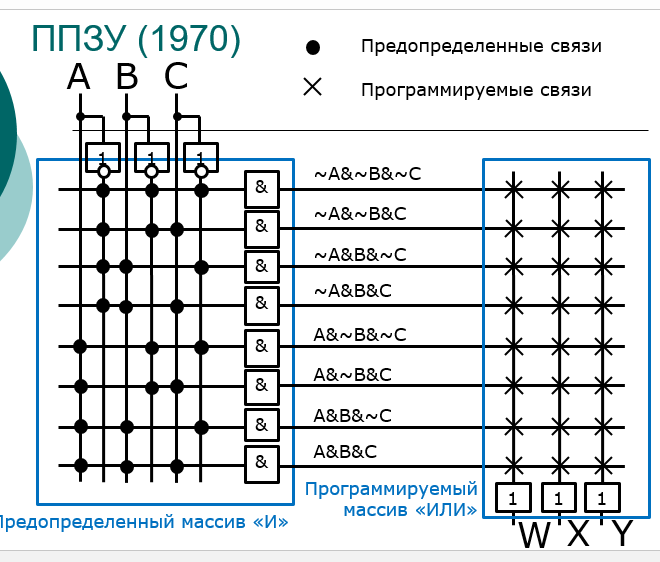
При динамической индикации сегменты зажигается по очереди. А за счет инерции глаза кажется, что индикатор горит постоянно. Из ее основных плюсов — требуется гораздо меньше внешних элементов. Основной минус — для нее постоянно требуется внимание процессора:) Частота смены сегментов выбирается обычно не ниже 50Гц. Лучше использовать частоты не кратные 50, иначе при искусственном освещении может появиться мерцание. Частота прерываний считается как «Кол-во разрядов» х «Частота обновления». Так для 8 разрядов с частотой 60Гц нужно вызывать прерывание с F=8х60=480Гц.

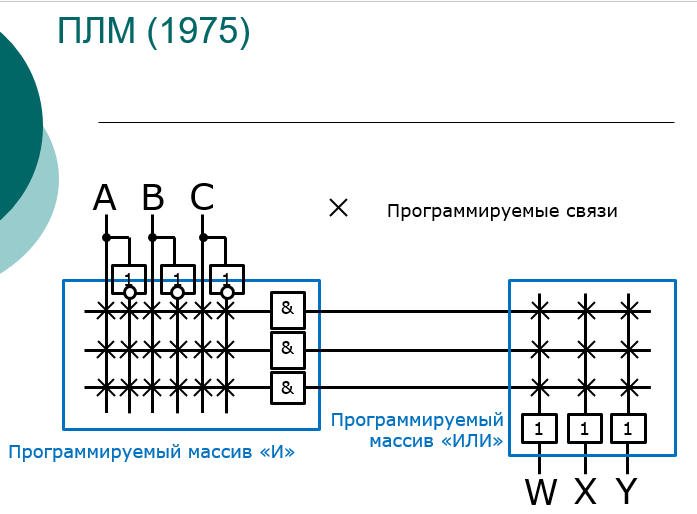
Есть два вида такой индикации — поразрядная и посегментная. Первая наиболее известна и популярна, вторая лучше подходит, когда нужно большое количество разрядов (больше 10).



**15)** **Классификация БИС ПЗУ. Организация запоминающих ячеек.**

****

****

****

**16)Схемы питания цифровых схем: виды, достоинства и недостатки.**

**17) ПЛИС: определение, назначение, структура, возможности.**

Программи́руемая логи́ческая интегра́льная схе́ма (ПЛИС, англ. programmable logic device, PLD) — электронный компонент (интегральная микросхема), используемый для создания конфигурируемых цифровых электронных схем. В отличие от обычных цифровых микросхем, логика работы ПЛИС не определяется при изготовлении, а задаётся посредством программирования (проектирования). Для программирования используются программатор и IDE (отладочная среда), позволяющие задать желаемую структуру цифрового устройства в виде принципиальной электрической схемы или программы на специальных языках описания аппаратуры (Verilog, VHDL, AHDL и других). Альтернативой ПЛИС являются:

* БМК — базовые матричные кристаллы, требующие заводского производственного процесса для программирования;
* ASIC — специализированные заказные большие интегральные схемы (БИС), которые при малосерийном и единичном производстве существенно дороже;
* специализированные компьютеры, процессоры (например, цифровой сигнальный процессор) или микроконтроллеры, которые из‑за программного способа реализации алгоритмов в работе медленнее ПЛИС;
* не программируемые цифровые устройства и системы, настроенные на решение заранее известных задач, построенные на принципах так называемой «жёсткой логики».

Некоторые производители для своих ПЛИС предлагают программные процессоры, которые можно модифицировать под конкретную задачу, а затем встроить в ПЛИС. Тем самым:

* обеспечивается увеличение свободного места на печатной плате (возможность уменьшения размеров платы);
* упрощается проектирование ПЛИС;
* увеличивается быстродействие ПЛИС.

ПЛИС широко используется для построения различных по сложности и по возможностям [цифровых устройств](https://ru.wikipedia.org/wiki/%D0%A6%D0%B8%D1%84%D1%80%D0%BE%D0%B2%D0%BE%D0%B5_%D1%83%D1%81%D1%82%D1%80%D0%BE%D0%B9%D1%81%D1%82%D0%B2%D0%BE), например:

* устройств с большим количеством портов ввода-вывода (бывают ПЛИС с более чем 1000 выводов («пинов»));
* устройств, выполняющих [цифровую обработку сигнала](https://ru.wikipedia.org/wiki/%D0%A6%D0%B8%D1%84%D1%80%D0%BE%D0%B2%D0%B0%D1%8F_%D0%BE%D0%B1%D1%80%D0%B0%D0%B1%D0%BE%D1%82%D0%BA%D0%B0_%D1%81%D0%B8%D0%B3%D0%BD%D0%B0%D0%BB%D0%BE%D0%B2) (ЦОС);
* цифровой видеоаудиоаппаратуры;
* устройств, выполняющих [передачу данных](https://ru.wikipedia.org/wiki/%D0%9F%D0%B5%D1%80%D0%B5%D0%B4%D0%B0%D1%87%D0%B0_%D0%B4%D0%B0%D0%BD%D0%BD%D1%8B%D1%85) на высокой скорости;
* устройств, выполняющих [криптографические](https://ru.wikipedia.org/wiki/%D0%9A%D1%80%D0%B8%D0%BF%D1%82%D0%BE%D0%B3%D1%80%D0%B0%D1%84%D0%B8%D1%8F) операции, [систем защиты информации](https://ru.wikipedia.org/w/index.php?title=%D0%9F%D1%80%D0%B8%D0%BC%D0%B5%D0%BD%D0%B5%D0%BD%D0%B8%D0%B5_%D0%9F%D0%9B%D0%98%D0%A1_%D0%B2_%D1%81%D0%B8%D1%81%D1%82%D0%B5%D0%BC%D0%B0%D1%85_%D0%B7%D0%B0%D1%89%D0%B8%D1%82%D1%8B_%D0%B8%D0%BD%D1%84%D0%BE%D1%80%D0%BC%D0%B0%D1%86%D0%B8%D0%B8&action=edit&redlink=1);
* устройств, предназначенных для проектирования и прототипирования [интегральных схем специального назначения](https://ru.wikipedia.org/wiki/ASIC) (ASIC);
* устройств, выполняющих роль мостов (коммутаторов) между системами с различной логикой и напряжением питания;
* реализаций [нейрочипов](https://ru.wikipedia.org/wiki/%D0%9D%D0%B5%D0%B9%D1%80%D0%BE%D1%87%D0%B8%D0%BF" \o "Нейрочип);
* [устройств, выполняющих моделирование квантовых вычислений](https://ru.wikipedia.org/wiki/%D0%9A%D0%B2%D0%B0%D0%BD%D1%82%D0%BE%D0%B2%D1%8B%D0%B9_%D0%BA%D0%BE%D0%BC%D0%BF%D1%8C%D1%8E%D1%82%D0%B5%D1%80);
* устройств, выполняющих обработку [радиолокационной](https://ru.wikipedia.org/wiki/%D0%A0%D0%B0%D0%B4%D0%B8%D0%BE%D0%BB%D0%BE%D0%BA%D0%B0%D1%86%D0%B8%D1%8F) информации.

Типы ПЛИС:

* Ранние ПЛИС

В 1970 году компания «Texas Instruments» (далее «TI») разработала масочные (то есть, программируемые с помощью маски, англ. mask-programmable) интегральные схемы (далее ИС), основанные на ассоциативном ПЗУ (ROAM) фирмы «IBM». Эта микросхема называлась TMS2000 и программировалась чередованием металлических слоёв в процессе производства ИС. TMS2000 имела до 17-и входов и 18 выходов с 8-ю JK-триггерами в качестве памяти. Для этих устройств компания «TI» ввела термин PLA — англ. programmable logic array — программируемая логическая матрица.

* PAL

PAL (англ. programmable array logic) — программируемый массив (матрица) логики. В СССР PLA и PLM не различались и обозначились как ПЛМ (программируемая логическая матрица). Разница между PLA и PLM состоит в доступности программирования внутренней структуры (матриц).

* GAL

GAL (англ. generic array logic) — это ПЛИС, имеющие программируемую матрицу «И» и фиксированную матрицу «ИЛИ».

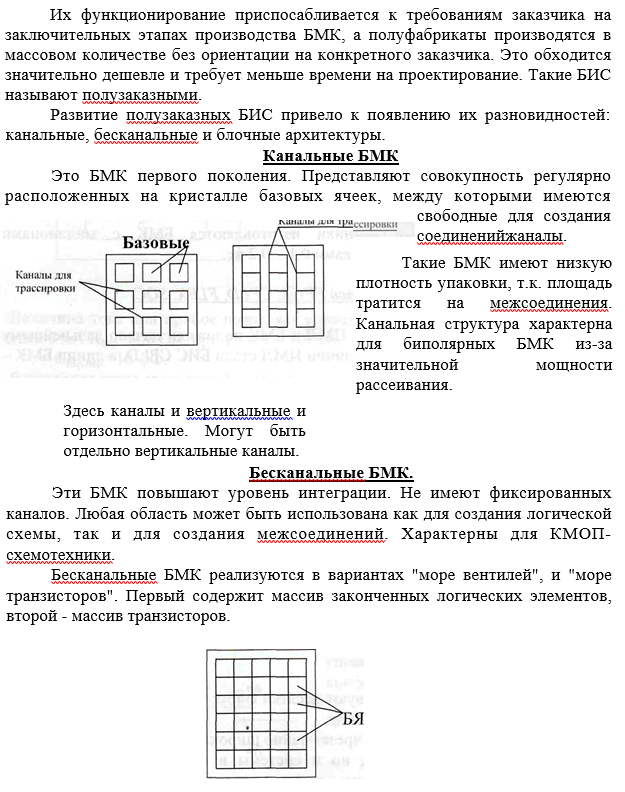
* CPLD

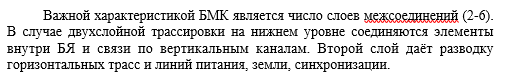
CPLD (англ. complex programmable logic device — сложные программируемые логические устройства) содержат относительно крупные программируемые логические блоки — макроячейки, соединённые с внешними выводами и внутренними шинами. Функциональность CPLD кодируется в энергонезависимой памяти, поэтому нет необходимости их перепрограммировать при включении. Может применяться для расширения числа входов/выходов рядом с большими кристаллами, или для предобработки сигналов (например, контроллер COM-порта, USB, VGA).

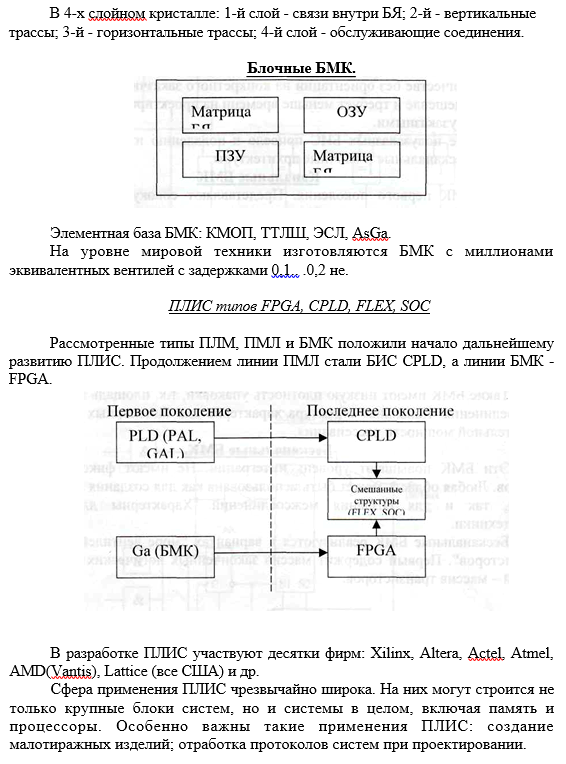
* FPGA

FPGA (англ. field-programmable gate array) содержат блоки умножения-суммирования, которые широко применяются при обработке сигналов (DSP, англ. digital signal processing), а также логические элементы (как правило, на базе таблиц перекодировки — таблиц истинности) и их блоки коммутации. FPGA обычно используются для обработки сигналов, имеют больше логических элементов и более гибкую архитектуру, чем CPLD. Программа для FPGA хранится в распределённой памяти, которая может быть выполнена как на основе энергозависимых ячеек статического ОЗУ (подобные микросхемы производят, например, фирмы «Xilinx» и «Altera») — в этом случае программа не сохраняется при исчезновении электропитания микросхемы, так и на основе энергонезависимых ячеек flash-памяти или перемычек antifuse (такие микросхемы производят фирмы «Actel» и «Lattice Semiconductor») — в этих случаях программа сохраняется при исчезновении электропитания. Если программа хранится в энергозависимой памяти, то при каждом включении питания микросхемы необходимо заново конфигурировать её при помощи начального загрузчика, который может быть встроен и в саму FPGA. Альтернативой ПЛИС FPGA являются более медленные цифровые процессоры обработки сигналов. FPGA применяются также, как ускорители универсальных процессоров в суперкомпьютерах (например, компьютер «Cray XD1» компании «Cray», проект «RASC» компании «Silicon Graphics» («SGI»))

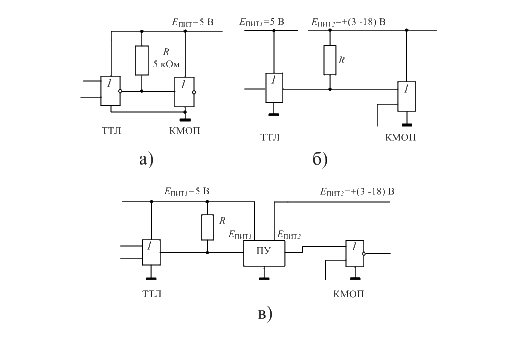
**18) Базовые матричные кристаллы.**

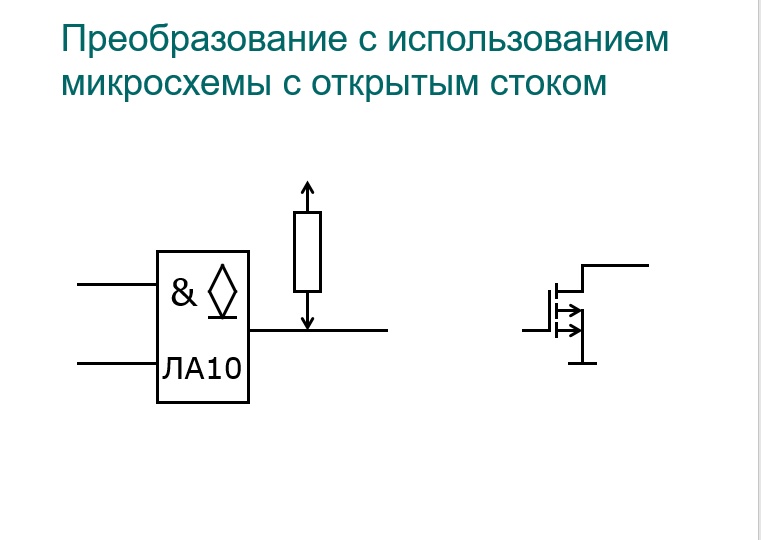
****

****

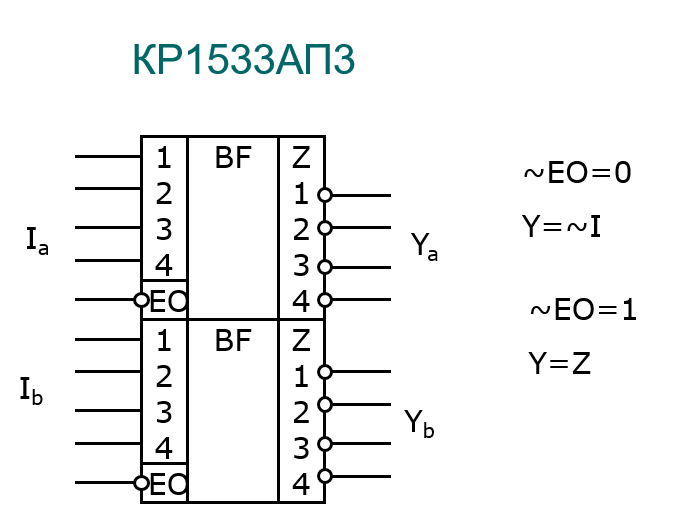
****

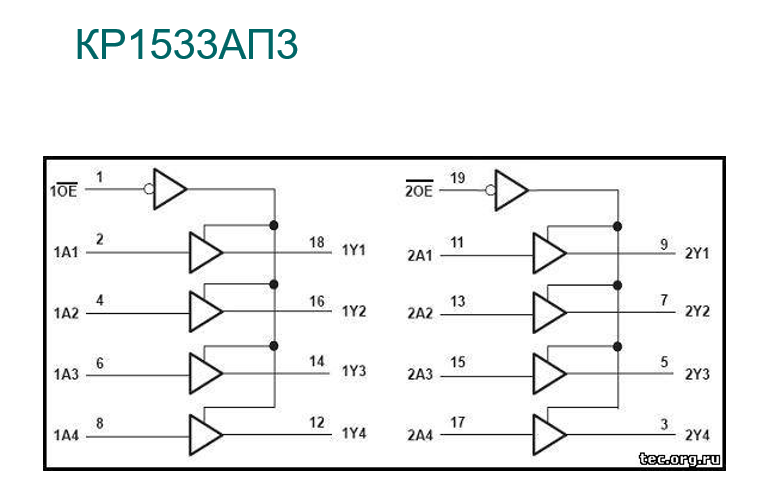
**19)Преобразование уровней логических сигналов: цель, способы. Преобразование типа сигнала: ТТЛ в КМОП и обратно.**

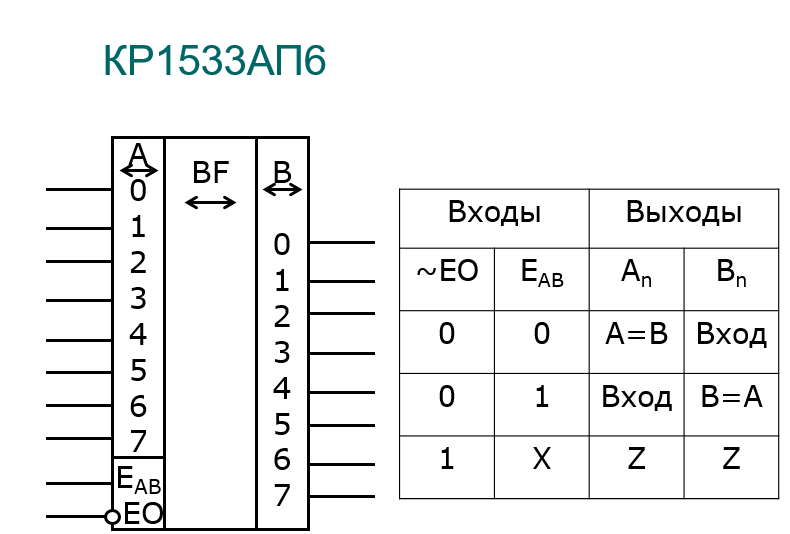


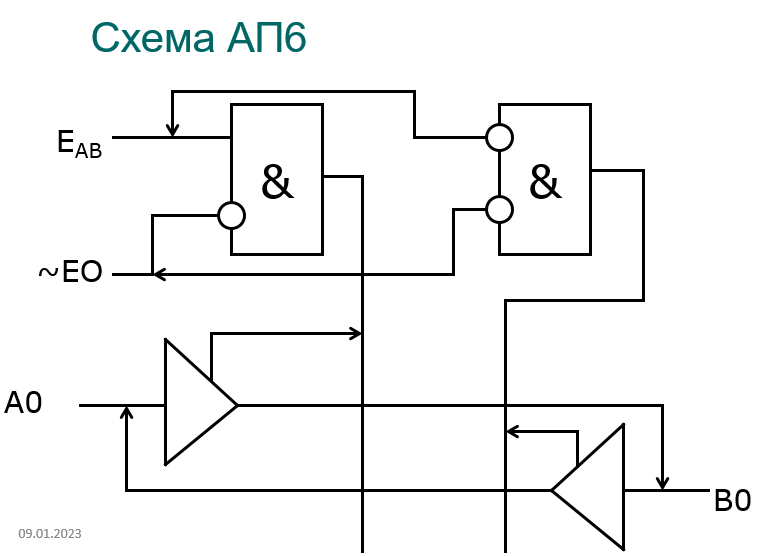
****

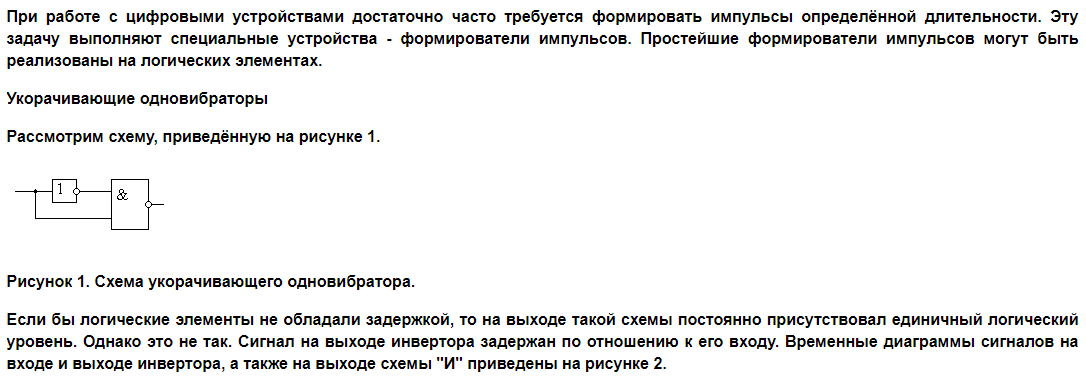
**20)** **Усилители-формирователи: назначение, устройство (на примере АП3 или АП6).**

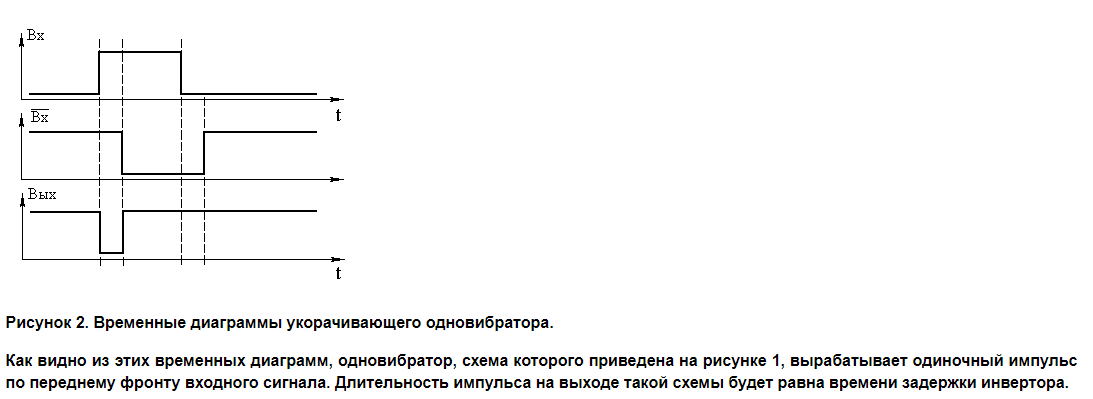
****

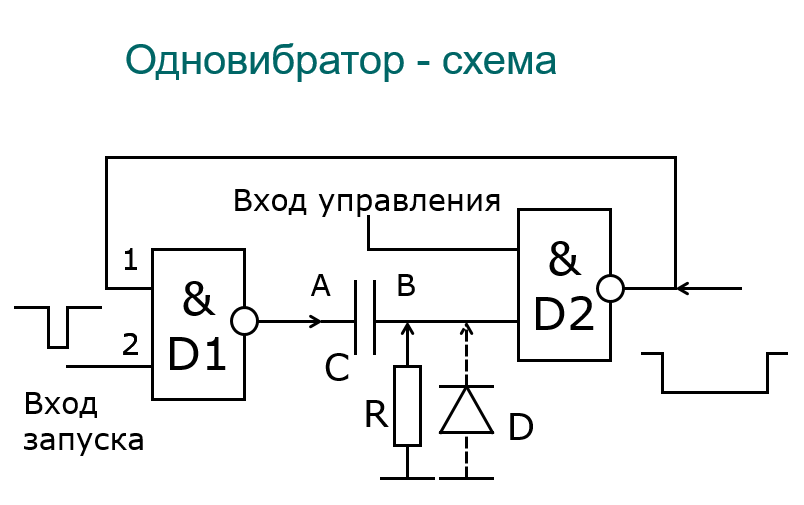
****

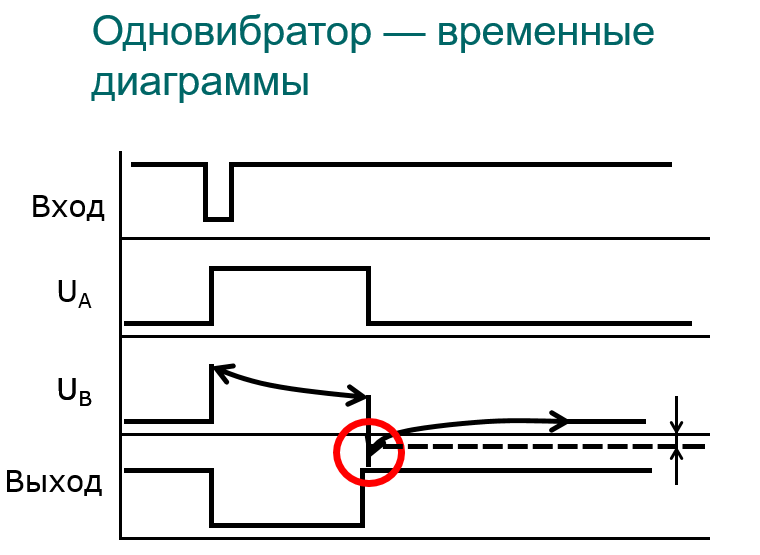
****

****

**21)** **Одновибратор на логических элементах: назначение, схема, временная диаграмма работ**

****

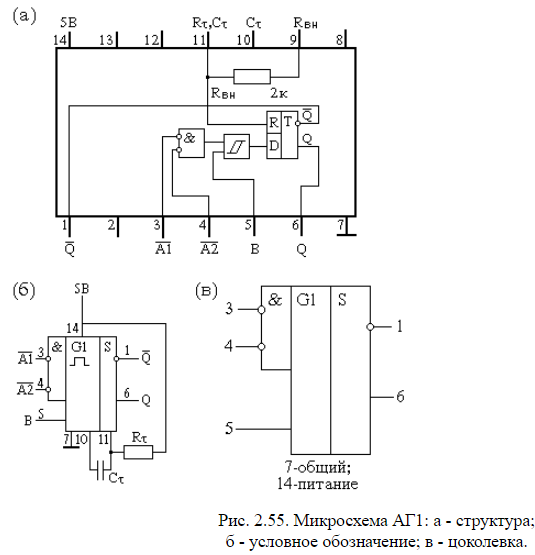
****

****

**22)** **Одновибратор АГ1: подключение, устройство, временная диаграмма работы.**

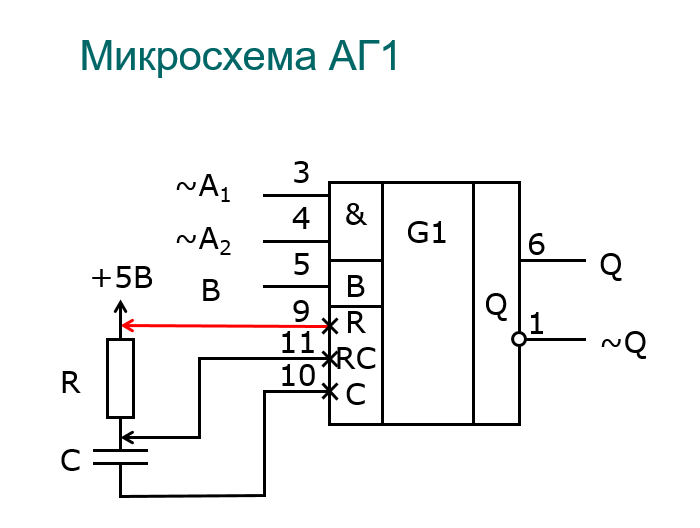
В составе серий ТТЛ имеется ряд ждущих и управляемых по частоте мультивибраторов. Они позволяют формировать синхронизированные последовательности импульсов, импульсы заданной длительности, расширить длительность коротких импульсов, отмерить интервалы времени до единиц минут, построить схемы фазовой автоподстройки [1, 2].

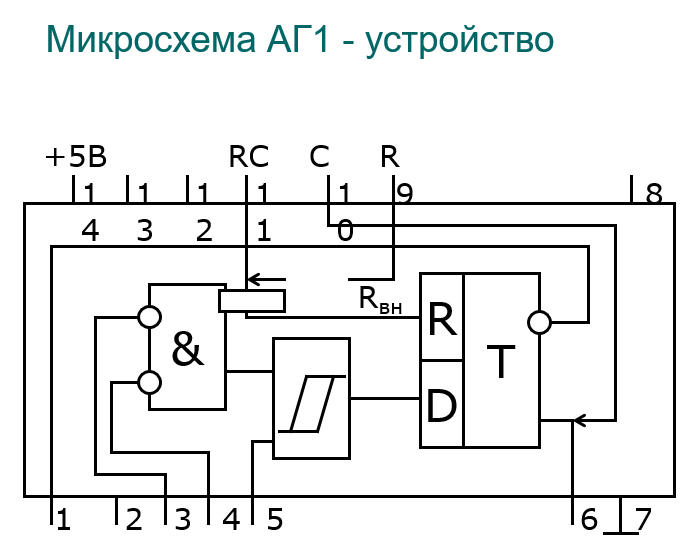
Микросхема АГ1 представляет собой одноканальный ждущий мультивибратор (одновибратор). Внутренняя структура, цоколевка и условное обозначение приведены на рис. 2.55, а, б,в.

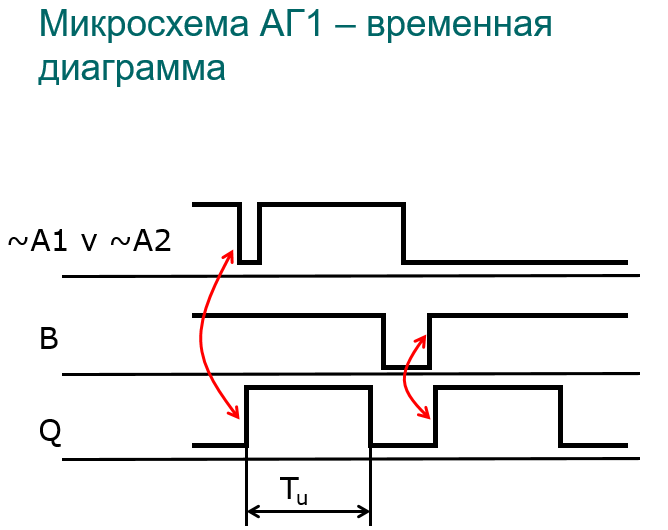
****

Микросхема АГ1 содержит внутреннюю ячейку памяти, выполненную на триггере с двумя выходами Q и /Q (выводы 6 и 1). На входе триггера имеется логический элемент 2И-НЕ и элемент Шмитта, т. е. триггер имеет три входа управления. Входы /A1 и /A2 инверсные (активный уровень-низкий), а вход В - прямой (активный уровень- высокий).

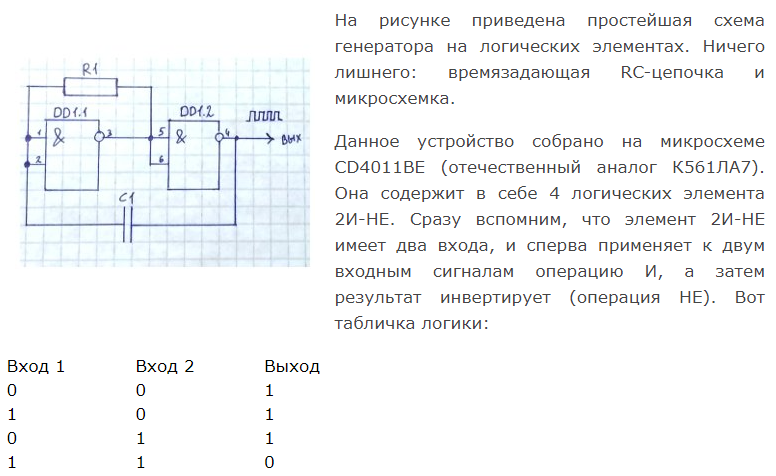
По входу В осуществляется прямой запуск триггера. Сигнал сброса, т. е. переключение триггера в новое состояние (окончание импульса), формируется с помощью RC-цепи: времязадающий конденсатор Ст подключается между выводами 10 и 11, а резистор Rт подключается от вывода 11 к шине питания Uи.п=5 В (вывод 14). Между выводами 11 и 9 внутри микросхемы имеется интегральный резистор Rвн ~2кОм.



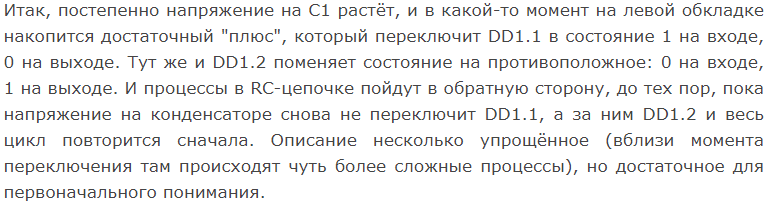


****

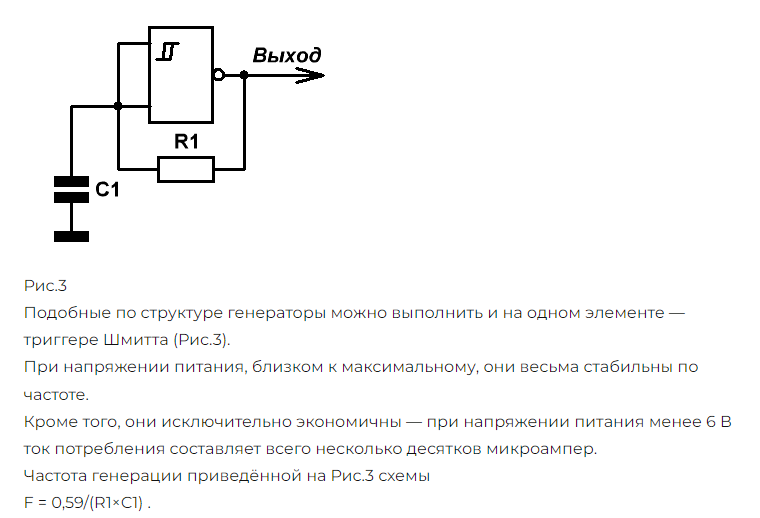
**23)** **Схема и описание RC-генератора на основе логических элементов.**

****

****

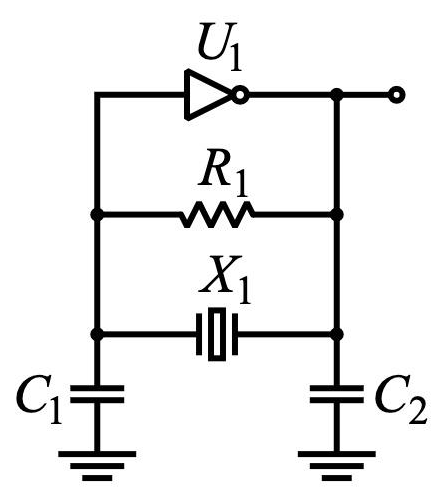
****

**24)Схема, временная диаграма и описание RC-генератора на основе триггера Шмидта.**

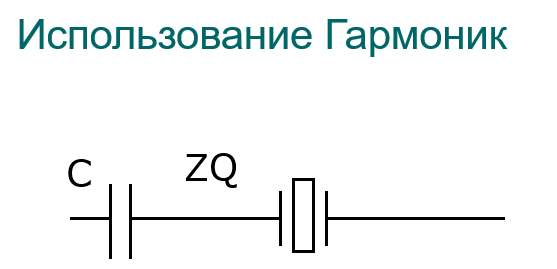
****

**25)** **Генератор на кварцевом резонаторе: схема, принцип работы. Подавление резонанса на частотах гармоник. Использование резонанса на частотах гармоник.**

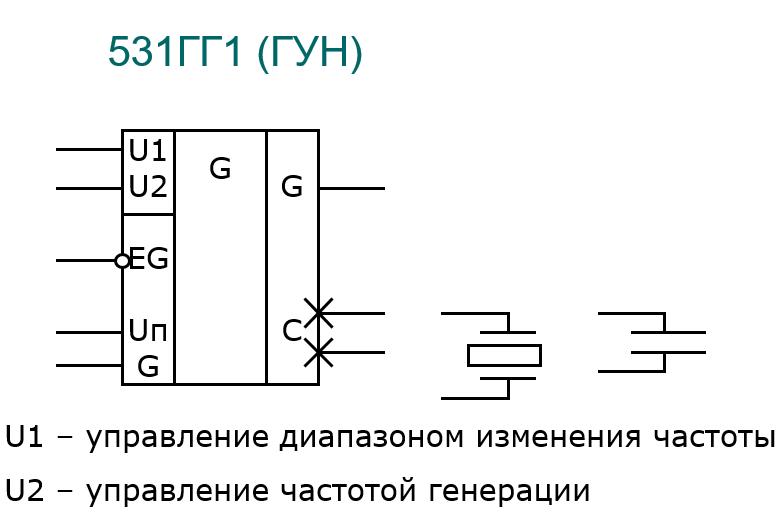
Типичный кварцевый генератор строится по простой схеме под названием «генератор Пирса», в которой из кристалла и инвертера формируется цепь обратной связи.

****

****

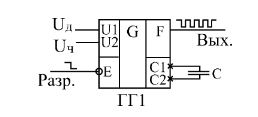
****

**26)** **Генераторы, управляемые напряжением (на примере ГГ1): подключение, характеристики, применение.**

****

Однако в некоторых случаях генераторы ГГ1 не могут быть заменены ничем. Дело в том, что они допускают изменение частоты выходных импульсов с помощью уровней двух входных управляющих напряжений. Поэтому они называются также «генераторы, управляемые напряжением» или ГУН.

Эффект изменения частоты можно использовать, например, в системах автоподстройки частоты (АПЧ) или в устройствах с частотной модуляцией (ЧМ).

****

Стандартная схема включения генератора ГГ1 приведена на Рис. 11.9.

Генератор имеет выводы для подключения внешнего конденсатора С1 и С2, к которым можно также подключать кварцевый резонатор, но при этом уже нельзя управлять частотой. Имеется два входа управления частотой U1 и U2, а также вход разрешения –Е, при подаче на который логической единицы генерация прекращается и на выходе F устанавливается единица.

Один из входов управления (U1) обычно называется диапазонным или Uд, а другой (U2) - входом управления частоты или Uч.

При увеличении напряжения Uч частота увеличивается, при увеличении напряжения на входе Uд - уменьшается.

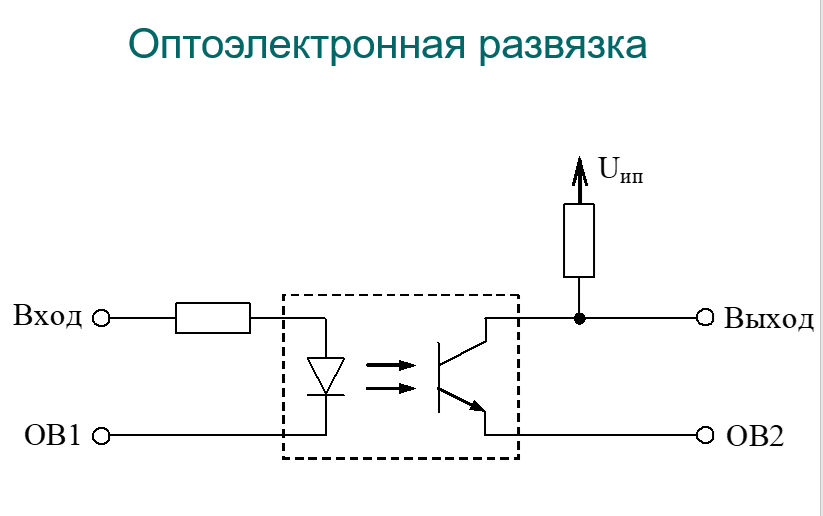
**27)** **Гальваническая развязка: назначение, способы выполнения (схемы).**

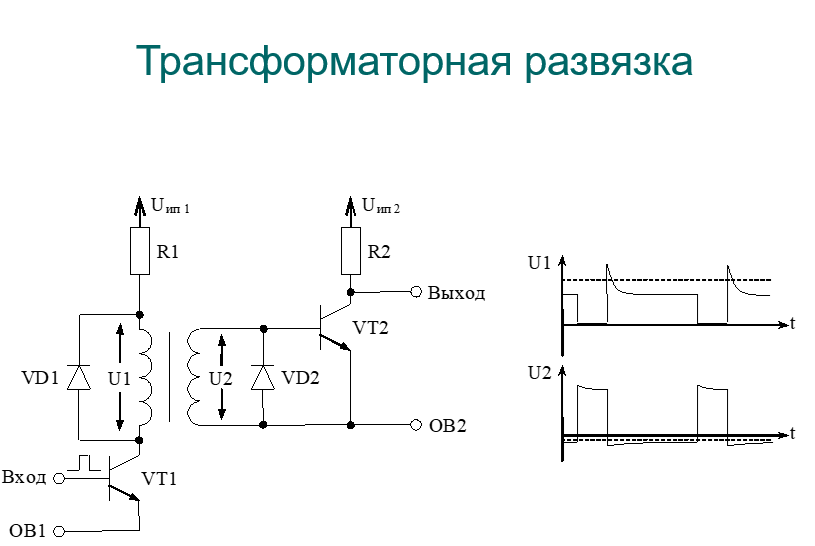
Есть в электронике такое понятие как гальваническая развязка. Её классическое определение — передача энергии или сигнала между электрическими цепями без электрического контакта.

Существует три основные задачи, которые решаются развязкой цифрового сигнала.  
  
Первой приходит в голову защита от высоких напряжений. Действительно, обеспечение гальванической развязки — это требование, которое предъявляет техника безопасности к большинству электроприборов.

Не менее популярным является использование микросхем с изоляционным барьером для сопряжения электрических цепей с разными напряжениями питания. Тут всё просто: «электрической связи» между цепями нет, поэтому сигнал логические уровни информационного сигнала на входе и выходе микросхемы будут соответствовать питанию на «входной» и «выходной» цепях соответственно.

Гальваническая развязка также используется для повышения помехоустойчивости систем. Одним из основных источников помех в радиоэлектронной аппаратуре является так называемый общий провод, часто это корпус устройства. При передаче информации без гальванической развязки общий провод обеспечивает необходимый для передачи информационного сигнала общий потенциал передатчика и приемника. Поскольку обычно общий провод служит одним из полюсов питания, подключение к нему разных электронных устройств, в особенности силовых, приводит к возникновению кратковременных импульсных помех. Они исключаются при замене «электрического соединения» на соединение через изоляционный барьер.



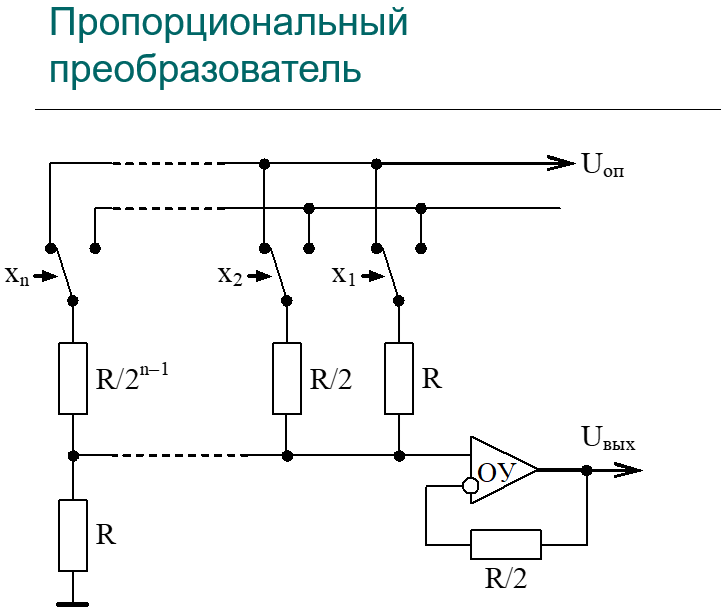


**28) ЦАП: назначение, классификация. Пропорциональные ЦАП (схема).**

Цифро-аналоговый преобразователь (ЦАП) — устройство для преобразования цифрового (обычно двоичного) кода в аналоговый сигнал (ток, напряжение или заряд). Цифро-аналоговые преобразователи являются интерфейсом между дискретным цифровым миром и аналоговыми сигналами. Современные ЦАП создаются по полупроводниковым технологиям в виде интегральной схемы.

ЦАП применяется всегда в телекоммуникационных системах и системах управления. Например:

* В системах [воспроизведения аудио](https://ru.wikipedia.org/wiki/%D0%97%D0%B2%D1%83%D0%BA%D0%BE%D0%B2%D0%B0%D1%8F_%D0%BA%D0%B0%D1%80%D1%82%D0%B0);
* В [дисплеях](https://ru.wikipedia.org/wiki/%D0%94%D0%B8%D1%81%D0%BF%D0%BB%D0%B5%D0%B9);
* Формирование информационного сигнала для смесителей и управляемых генераторов;
* В системах управлением двигателем;
* В системах [прямого цифрового синтеза](https://ru.wikipedia.org/wiki/%D0%A6%D0%B8%D1%84%D1%80%D0%BE%D0%B2%D0%BE%D0%B9_%D0%B2%D1%8B%D1%87%D0%B8%D1%81%D0%BB%D0%B8%D1%82%D0%B5%D0%BB%D1%8C%D0%BD%D1%8B%D0%B9_%D1%81%D0%B8%D0%BD%D1%82%D0%B5%D0%B7%D0%B0%D1%82%D0%BE%D1%80) (DDS — Direct Digital Synthesizer);

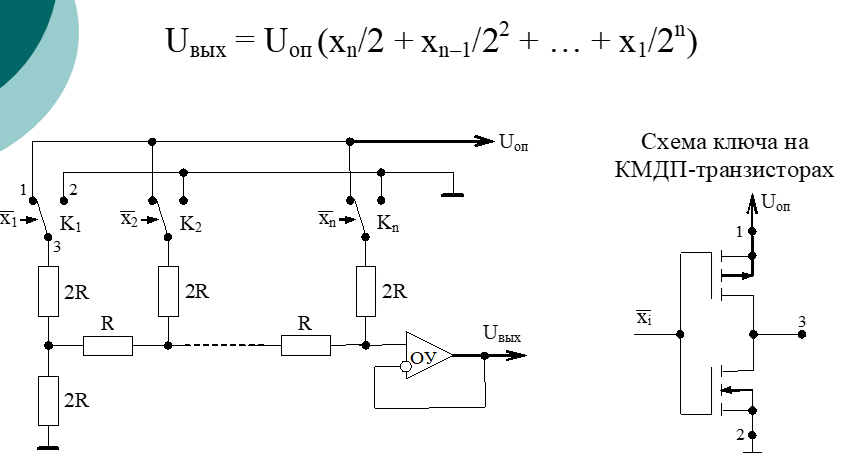


**29)ЦАП: назначение, классификация. ЦАП с поразрядным взвешиванием напряжений (схема).**

Цифро-аналоговый преобразователь (ЦАП) — устройство для преобразования цифрового (обычно двоичного) кода в аналоговый сигнал (ток, напряжение или заряд). Цифро-аналоговые преобразователи являются интерфейсом между дискретным цифровым миром и аналоговыми сигналами. Современные ЦАП создаются по полупроводниковым технологиям в виде интегральной схемы.

ЦАП применяется всегда в телекоммуникационных системах и системах управления. Например:

* В системах [воспроизведения аудио](https://ru.wikipedia.org/wiki/%D0%97%D0%B2%D1%83%D0%BA%D0%BE%D0%B2%D0%B0%D1%8F_%D0%BA%D0%B0%D1%80%D1%82%D0%B0);
* В [дисплеях](https://ru.wikipedia.org/wiki/%D0%94%D0%B8%D1%81%D0%BF%D0%BB%D0%B5%D0%B9);
* Формирование информационного сигнала для смесителей и управляемых генераторов;
* В системах управлением двигателем;
* В системах [прямого цифрового синтеза](https://ru.wikipedia.org/wiki/%D0%A6%D0%B8%D1%84%D1%80%D0%BE%D0%B2%D0%BE%D0%B9_%D0%B2%D1%8B%D1%87%D0%B8%D1%81%D0%BB%D0%B8%D1%82%D0%B5%D0%BB%D1%8C%D0%BD%D1%8B%D0%B9_%D1%81%D0%B8%D0%BD%D1%82%D0%B5%D0%B7%D0%B0%D1%82%D0%BE%D1%80) (DDS — Direct Digital Synthesizer);

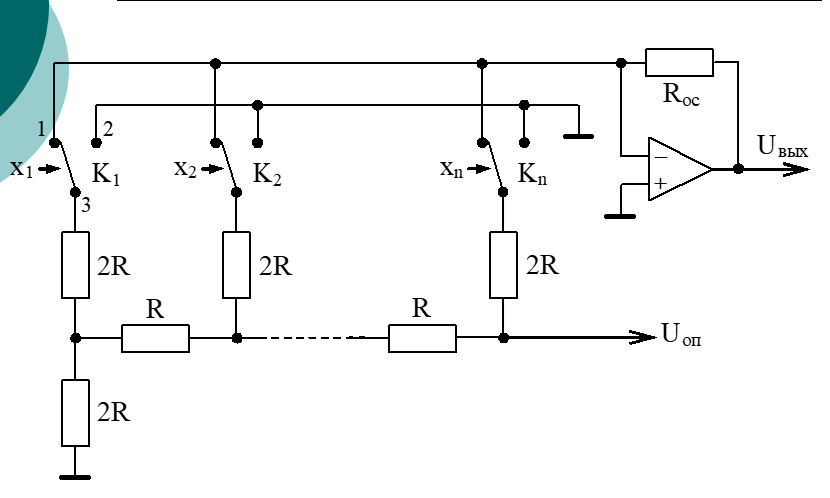
****

**30)** **ЦАП: назначение, классификация. ЦАП с поразрядным взвешиванием токов (схема).**

Цифро-аналоговый преобразователь (ЦАП) — устройство для преобразования цифрового (обычно двоичного) кода в аналоговый сигнал (ток, напряжение или заряд). Цифро-аналоговые преобразователи являются интерфейсом между дискретным цифровым миром и аналоговыми сигналами. Современные ЦАП создаются по полупроводниковым технологиям в виде интегральной схемы.

ЦАП применяется всегда в телекоммуникационных системах и системах управления. Например:

* В системах [воспроизведения аудио](https://ru.wikipedia.org/wiki/%D0%97%D0%B2%D1%83%D0%BA%D0%BE%D0%B2%D0%B0%D1%8F_%D0%BA%D0%B0%D1%80%D1%82%D0%B0);
* В [дисплеях](https://ru.wikipedia.org/wiki/%D0%94%D0%B8%D1%81%D0%BF%D0%BB%D0%B5%D0%B9);
* Формирование информационного сигнала для смесителей и управляемых генераторов;
* В системах управлением двигателем;
* В системах [прямого цифрового синтеза](https://ru.wikipedia.org/wiki/%D0%A6%D0%B8%D1%84%D1%80%D0%BE%D0%B2%D0%BE%D0%B9_%D0%B2%D1%8B%D1%87%D0%B8%D1%81%D0%BB%D0%B8%D1%82%D0%B5%D0%BB%D1%8C%D0%BD%D1%8B%D0%B9_%D1%81%D0%B8%D0%BD%D1%82%D0%B5%D0%B7%D0%B0%D1%82%D0%BE%D1%80) (DDS — Direct Digital Synthesizer);

****

**31)Основные параметры ЦАП (с пояснениями).**

Общие[[править](https://ru.wikipedia.org/w/index.php?title=%D0%A6%D0%B8%D1%84%D1%80%D0%BE-%D0%B0%D0%BD%D0%B0%D0%BB%D0%BE%D0%B3%D0%BE%D0%B2%D1%8B%D0%B9_%D0%BF%D1%80%D0%B5%D0%BE%D0%B1%D1%80%D0%B0%D0%B7%D0%BE%D0%B2%D0%B0%D1%82%D0%B5%D0%BB%D1%8C&veaction=edit&section=3) | [править код](https://ru.wikipedia.org/w/index.php?title=%D0%A6%D0%B8%D1%84%D1%80%D0%BE-%D0%B0%D0%BD%D0%B0%D0%BB%D0%BE%D0%B3%D0%BE%D0%B2%D1%8B%D0%B9_%D0%BF%D1%80%D0%B5%D0%BE%D0%B1%D1%80%D0%B0%D0%B7%D0%BE%D0%B2%D0%B0%D1%82%D0%B5%D0%BB%D1%8C&action=edit&section=3)]

* [Разрядность](https://ru.wikipedia.org/wiki/%D0%A0%D0%B0%D0%B7%D1%80%D1%8F%D0%B4%D0%BD%D0%BE%D1%81%D1%82%D1%8C). Определяет количество уровней аналогового сигнала, которое может воспроизводить ЦАП. Для *N* разрядного ЦАП число уровней аналогового сигнала равно 2*N* (включая значение для нулевого кода);
* Напряжение питания;

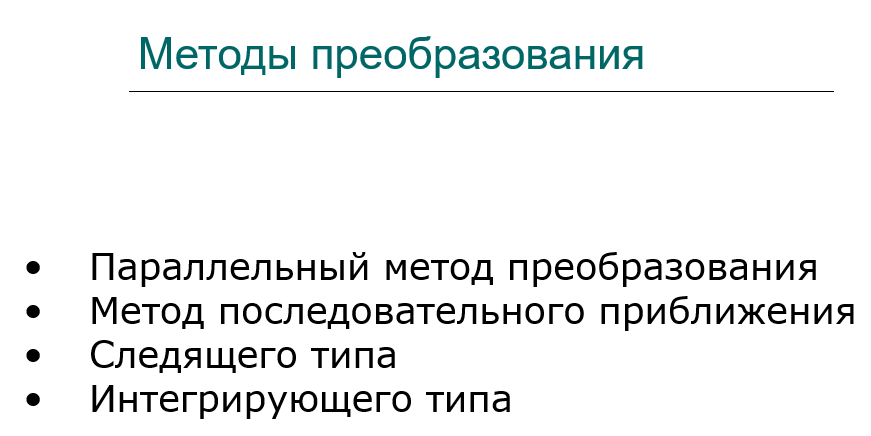
Статические характеристики:

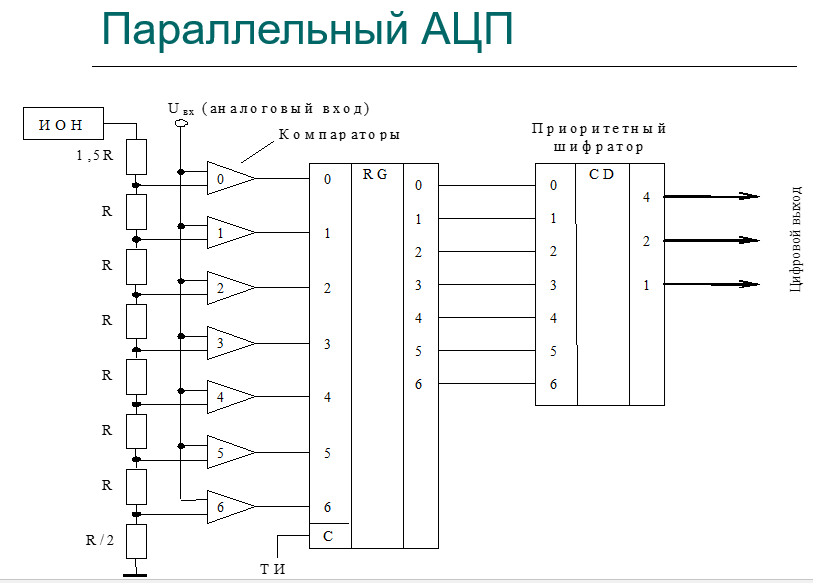
* Статическая характеристика преобразования — это зависимости значения выходного сигнала ЦАП от значения входного кода;
* Статическая нелинейность. Для описания статической нелинейности используют две величины: дифференциальная нелинейность (DNL) и интегральная нелинейность (INL);
* [Монотонность](https://ru.wikipedia.org/wiki/%D0%9C%D0%BE%D0%BD%D0%BE%D1%82%D0%BE%D0%BD%D0%BD%D0%B0%D1%8F_%D1%84%D1%83%D0%BD%D0%BA%D1%86%D0%B8%D1%8F). Одна из важнейших характеристик ЦАП, которая говорит о том, что при увеличении кода значение аналогового сигнала также увеличивается. Унарная архитектура гарантирует монотонность. Для бинарной архитектуры монотонность не гарантируется;
* Смещение нуля;
* Ошибка усиления;

Динамические характеристики:

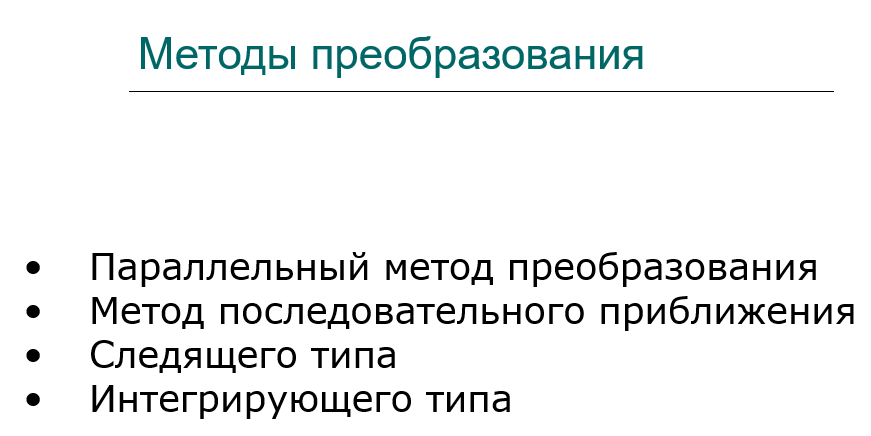
* Быстродействие. Определяется как максимальная частота, с которой можно изменять код на входе ЦАП, получая при этом корректный результат на его выходе. Измеряется в «выборок/с» или в герцах. Может именоваться как [частота дискретизации](https://ru.wikipedia.org/wiki/%D0%A7%D0%B0%D1%81%D1%82%D0%BE%D1%82%D0%B0_%D0%B4%D0%B8%D1%81%D0%BA%D1%80%D0%B5%D1%82%D0%B8%D0%B7%D0%B0%D1%86%D0%B8%D0%B8) или максимальная частота смены входного кода;
* [SNR](https://ru.wikipedia.org/wiki/%D0%9E%D1%82%D0%BD%D0%BE%D1%88%D0%B5%D0%BD%D0%B8%D0%B5_%D1%81%D0%B8%D0%B3%D0%BD%D0%B0%D0%BB/%D1%88%D1%83%D0%BC) (отношение сигнал/шум). Считается как отношение мощности восстанавливаемого гармонического сигнала к сумме мощностей всех остальных гармоник в спектре выходного сигнала, кроме кратных, и выражается в децибелах;
* [SFDR](https://ru.wikipedia.org/wiki/SFDR) (динамический диапазон, свободный от паразитных составляющих). Считается как отношение амплитуды восстанавливаемого гармонического сигнала к амплитуде наибольшей гармоники в спектре выходного сигнала, также выражается в децибелах. Эту характеристику так же ещё называют "динамической линейностью".
* Потребляемая мощность;

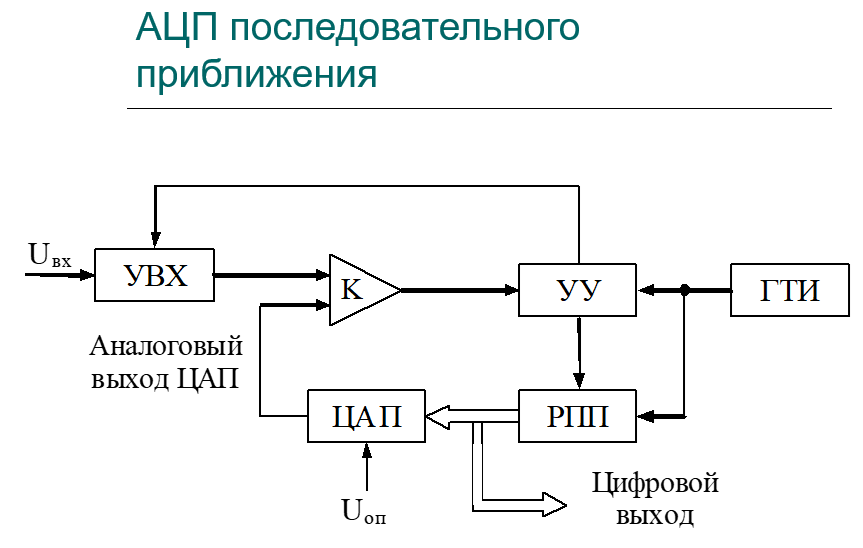
**32)** **АЦП: назначение, классификация. Параллельные АЦП.**

****

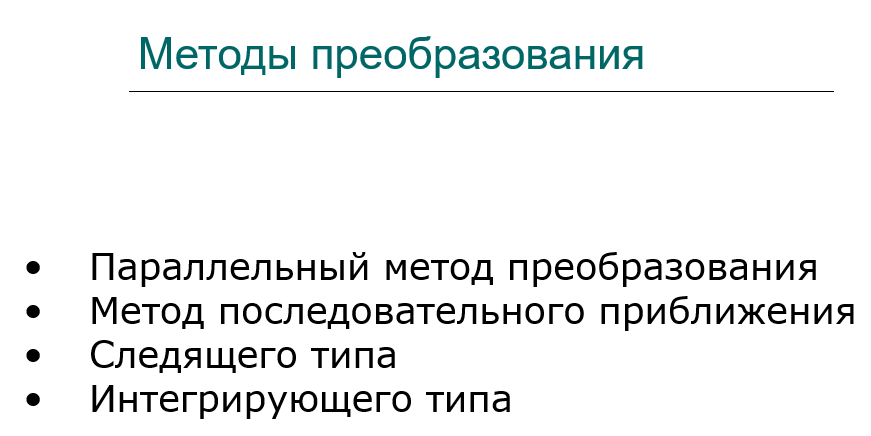
****

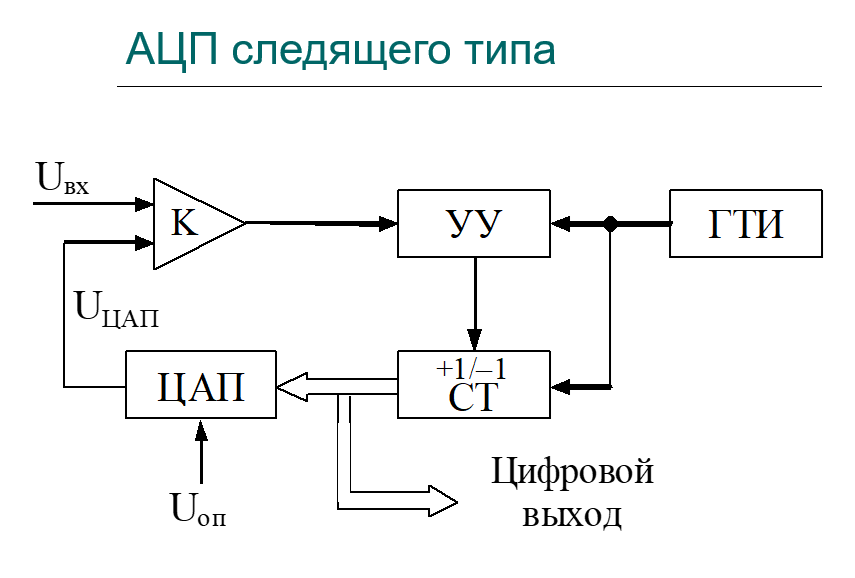
**33)** **АЦП: назначение, классификация. АЦП последовательного приближения.**

****

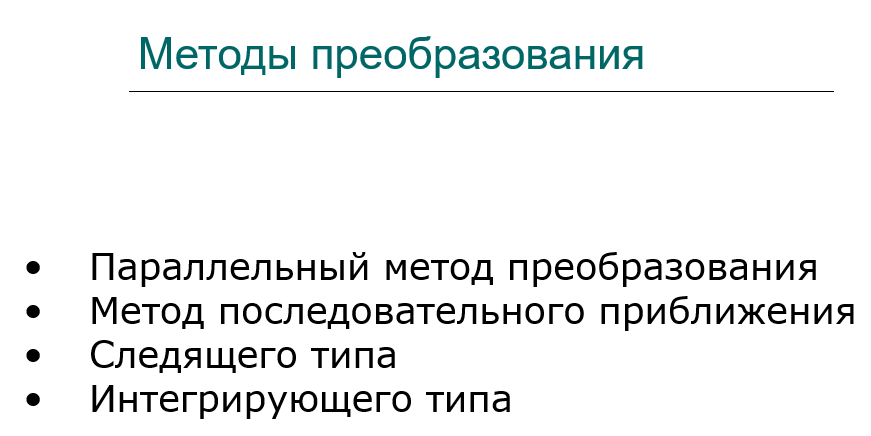
****

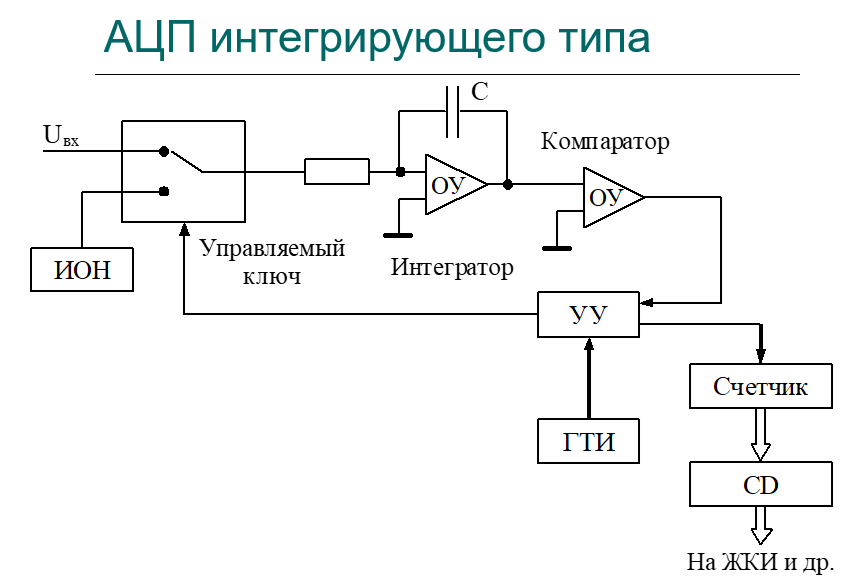
**34)АЦП: назначение, классификация. АЦП следящего типа.**

****

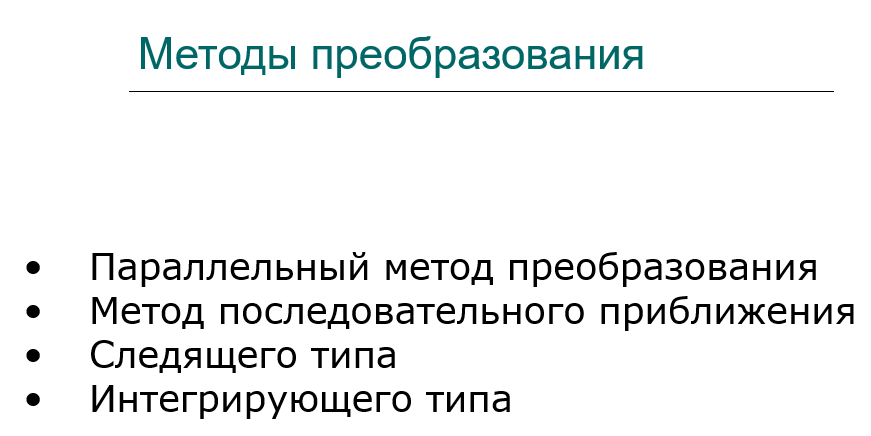
****

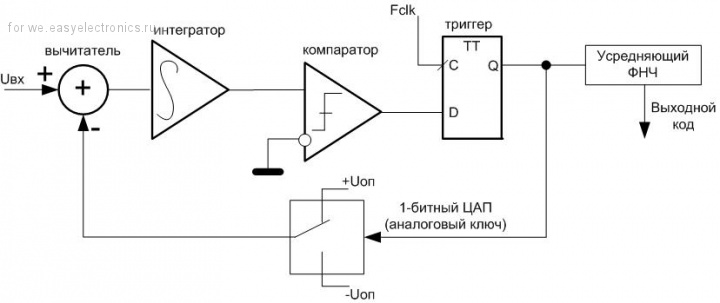
**35)** **АЦП: назначение, классификация. АЦП интегрирующего типа.**

****

****

**36)** **АЦП: назначение, классификация. АЦП дельта-сигма**

****

****

Сигма-дельта АЦП состоит из двух частей: модулятор и цифровой ФНЧ.

Модулятор преобразует входное напряжение Uвх в последовательность импульсов, а ФНЧ формирует выходной код.

Uвх подается на вычитатель, где из него вычитается опорное напряжение +Uоп или -Uоп, в зависимости от того, был ли превышен порог компаратора на предыдущем шаге.

Интегратор формирует пилообразное напряжение, наклон пилы зависит от напряжения на выходе вычитателя. Как только пила пересекает уровень нуля, срабатывает компаратор и на следующем такте пила развернется в направлении нуля. Вообще говоря, уровень компаратора может быть любым, главное чтобы пила не подходила близко к уровням Uоп.

С выхода компаратора сигнал поступает на тактируемый триггер. Частота тактирования определяет время шага работы модулятора и минимальное время «1» или «0» на выходе модулятора. В конечном итоге частота определяет время преобразования.

Далее сигнал поступает на аналоговый ключ, который коммутируя +Uоп и –Uоп замыкает обратную связь.

На вход ФНЧ поступает последовательность нулей и единиц, при этом количество «1» в единицу времени пропорционально Uвх. Так при Uвх=-Uоп будут одни нули, при Uвх = +Uоп – одни единицы. Нулевому уровню Uвх будет соответствовать равное количество нулей и единиц. Остается только их сосчитать и вычесть уровень нуля равный (+Uоп – -Uоп)/2.